

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203861

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

H01L 21/336  
G02F 1/1368  
G09F 9/30  
G09F 9/35  
H01L 21/20  
H01L 29/786  
H05B 33/10  
H05B 33/14

(21)Application number : 2001-221823 (71)Applicant : MATSUSHITA ELECTRIC IND  
CO LTD(22)Date of filing : 23.07.2001 (72)Inventor : NISHITANI TERU  
YAMAMOTO MUTSUMI  
TAKETOMI YOSHINAO

(30)Priority

Priority number : 2000222275 Priority date : 24.07.2000 Priority country : JP  
2000322301 23.10.2000

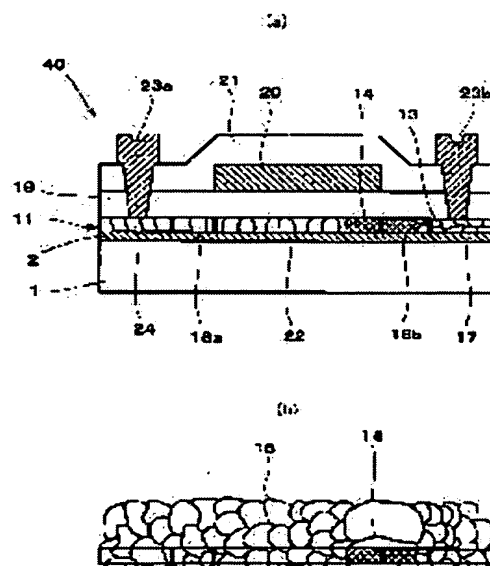
JP

(54) SEMICONDUCTOR DEVICE, LIQUID CRYSTAL DISPLAY UNIT, EL DISPLAY UNIT,  
MANUFACTURING METHOD OF SEMICONDUCTOR THIN FILM AND  
MANUFACTURING METHOD OF THE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having high characteristic and high reliability.

SOLUTION: The semiconductor device is provided with a thin film transistor (40) having a multi-crystal semiconductor layer (11), and has low-concentration impurity areas (18a, 18b) which are positioned among a channel area (22) and high concentration impurity areas (24, 17) positioned on both the sides of the channel area (22) in the semiconductor layer (11) and in which impurity concentration is lower than



the high concentration impurity area (24, 17). The particulate diameter of a crystal (14) in which at least a part exists in the low concentration impurity area (18b) is larger than that of the other crystal (15).

---

#### LEGAL STATUS

[Date of request for examination]	10.08.2001
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3448685
[Date of registration]	11.07.2003
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It has the thin film transistor which has the semi-conductor layer of polycrystal. In said semi-conductor layer A channel field, It has the high concentration impurity range located in the both sides of this channel field, and the offset field which is located between said channel field and a high concentration impurity range, and does not contain a low concentration impurity range or an impurity with high impurity concentration lower than said high concentration impurity range. The semiconductor device with which one particle size of the crystals with which at least a part exists in said low concentration impurity range or an offset field is characterized by being larger than the particle size of other crystals.

[Claim 2] A crystal besides the above is a semiconductor device according to claim 1 characterized by being the crystal which exists in said channel field.

[Claim 3] The semiconductor device according to claim 1 with which one particle size of the crystals with which at least a part exists in a less than 0.5-micrometer field a said low concentration impurity range or offset field side including this boundary is characterized by being larger than the particle size of other crystals at least from one side of a boundary with said channel field and said low concentration impurity range, or an offset field.

[Claim 4] A crystal besides the above is a semiconductor device according to claim 3 characterized by being the crystal which exists in said channel field.

[Claim 5] It has the thin film transistor which has the semi-conductor layer of polycrystal. In said semi-conductor layer A channel field, It has the high concentration impurity range located in the both sides of this channel field, and the offset field which is located between said channel field and a high concentration impurity range, and does not contain a low concentration impurity range or an impurity with high impurity concentration lower than said high concentration impurity range. The semiconductor device characterized by the grain boundary not existing in less than 0.3 micrometers a said low concentration impurity range or offset field side including this boundary at least from one side of a boundary with said channel field and said low concentration impurity range, or an offset field.

[Claim 6] Furthermore, the semiconductor device according to claim 5 characterized by the grain boundary not existing in less than 0.3 micrometers said channel field side from said boundary with said channel field and said low concentration impurity range, or an offset field.

[Claim 7] The semiconductor device which has the offset field which is equipped with the thin film transistor which has the semi-conductor layer of polycrystal, is located in said semi-conductor layer between a channel field, the high-concentration impurity range in which it is located on both sides of this channel field, and said channel field and a high concentration impurity range, and does not contain a low-concentration impurity range or an impurity with high impurity concentration lower than said high concentration impurity range, and is characterized by for the grain boundary not to exist in said low-concentration impurity range or the offset field of one side at least.

[Claim 8] Furthermore, the semiconductor device according to claim 7 characterized by the grain boundary not existing in said channel field.

[Claim 9] Furthermore, the semiconductor device according to claim 8 characterized by the grain boundary not existing in said high concentration impurity range contiguous to said low concentration impurity range or an offset field.

[Claim 10] The semiconductor device with which two or more thin film transistors which have a common function are included, and 50% or more of the number of this thin film transistor is characterized by being the thin film transistor indicated by claim 1 or 5.

[Claim 11] It is the semiconductor device according to claim 1 which the substrate film which has insulation is formed between the substrate and said semi-conductor layer, and is characterized by said substrate film containing the porous layer whose average aperture is 0.01-2 micrometers.

[Claim 12] It is the semiconductor device according to claim 1 characterized by forming the substrate film which has insulation between the substrate and said semi-conductor layer, and said substrate film containing a layer more precise than this porous layer formed on the porous layer whose average aperture is 0.01-2 micrometers, and this porous layer.

[Claim 13] Said thin film transistor is a semiconductor device according to claim 1 characterized by being formed near the pattern of the predetermined configuration which consists of matter with thermal conductivity higher than said semi-conductor layer.

[Claim 14] Said pattern is a semiconductor device according to claim 13 currently formed between the substrate and said semi-conductor layer.

[Claim 15] Said pattern is a semiconductor device according to claim 14 characterized by being covered with the substrate film which has the insulation formed between the substrate and said semi-conductor layer.

[Claim 16] It is the semiconductor device according to claim 15 which said substrate film consists of top substrate film and bottom substrate film, and is characterized by arranging said pattern between said top substrate film and said bottom substrate film.

[Claim 17] The semiconductor device according to claim 16 with which thickness of said top substrate film is characterized by being thinner than the thickness of said bottom substrate film.

[Claim 18] Said thin film transistor is a semiconductor device according to claim 1 characterized by having the semi-conductor layer which consists of a semi-conductor thin film of polycrystal, and the pattern of the predetermined configuration which consists of an amorphous semi-conductor thin film.

[Claim 19] The liquid crystal display characterized by having the pixel which operates by supplying an electrical potential difference through a semiconductor device according to claim 1.

[Claim 20] EL display characterized by having the pixel which operates by supplying an electrical potential difference through a semiconductor device according to claim 1.

[Claim 21] The manufacture approach of the semi-conductor thin film characterized by including the process which forms the heat dissipation layer which becomes a part on the amorphous substance formed on the substrate, or the semi-conductor thin film of polycrystal from the matter with thermal conductivity higher than this semi-conductor thin film, and the process which irradiate strong light or a laser beam and said semi-conductor thin film is made to crystallize.

[Claim 22] The process at which the process which forms said heat dissipation layer forms the film of the matter with thermal conductivity higher than this semi-conductor thin film on said semi-conductor thin film, The process which forms a resist mask in the film of the matter with said high heat conductivity by the photolithography, The manufacture approach of the semi-conductor thin film according to claim 21 characterized by including the process to which the film of the matter with said high heat conductivity carries out etching removal of the part which is not covered with said resist mask, and the process which exfoliates said resist mask.

[Claim 23] The process which forms said heat dissipation layer is the manufacture approach of the semi-conductor thin film according to claim 21 characterized by including the process which forms a resist pattern by the photolithography, the process which forms the film of the matter with the heat conductivity higher than said semi-conductor thin film, and the process which carries out lift off of said resist pattern with the matter with said high heat conductivity.

[Claim 24] The process which forms said heat dissipation layer is the manufacture approach of the semi-conductor thin film according to claim 21 characterized by including the process which forms the matter with thermal conductivity higher than said semi-conductor thin film by vacuum evaporation or the sputter using the mask which has opening.

[Claim 25] Said strong light or laser beam is the manufacture approach of the semi-conductor thin film according to claim 21 which is in the condition which fixed the physical relationship of a substrate and the light source, and is characterized by being given by the exposure of one pulse or

two or more pulses to the predetermined range on a substrate.

[Claim 26] It is the manufacture approach of the semi-conductor thin film which is equipped with the process which forms a heat-dissipation layer in the part on a substrate, the process which form the substrate film which has insulation on said substrate and a heat-dissipation layer, the process which form an amorphous substance or the semi-conductor thin film of polycrystal on said substrate film, and the process irradiate strong light or a laser beam and said semi-conductor thin film makes a process crystallize, and is characterized by for said heat-dissipation layer to consist of matter with thermal conductivity high than said semi-conductor thin film.

[Claim 27] it be the manufacture approach of the semi-conductor thin film characterize by to make the quantity of light which it have the process which irradiate strong light or a laser beam and the amorphous substance formed on the substrate or the semi-conductor thin film of polycrystal be make to crystallize through an exposure mask, and said exposure mask have the lens section by which the curved surface be formed in a part of front rear face [ at least ], and be irradiate by said semi-conductor thin film produce inclination-distribution.

[Claim 28] Said lens section is the manufacture approach of the semi-conductor thin film according to claim 27 characterized by being formed plane view band-like or in the shape of a circle, and said distribution arising along said band-like longitudinal direction or the direction of a path of the shape of said circle.

[Claim 29] The curved surface of said lens section is the manufacture approach of the semi-conductor thin film according to claim 27 characterized by being formed by hollowing a part of front rear face [ at least ] of said exposure mask.

[Claim 30] It is the manufacture approach of the semi-conductor thin film which is equipped with the process which irradiates strong light or a laser beam and the amorphous substance formed on the substrate or the semi-conductor thin film of polycrystal is made to crystallize through an exposure mask, and is characterized by said exposure mask making the quantity of light irradiated by said semi-conductor thin film by giving phase distribution to exposure light produce inclination-distribution.

[Claim 31] Said exposure mask is the manufacture approach of a semi-conductor thin film to claim 30 characterized by consisting of a light transmission nature member from which thickness differs partially, and giving phase distribution to said exposure light by the difference in said thickness.

[Claim 32] It is the manufacture approach of the semi-conductor thin film characterized by to make the quantity of light which is equipped with the process which irradiates strong light or a laser beam and the amorphous substance formed on the substrate or the semi-conductor thin film of polycrystal is made to crystallize through an exposure mask, and said exposure mask becomes from the protection-from-light nature member which has two or more openings, and is irradiated by said semi-conductor thin film by two or more of said openings produce inclination-distribution.

[Claim 33] Said two or more openings are the manufacture approaches of a semi-conductor thin film to claim 32 characterized by arranging the numerical aperture per unit area so that it may change gradually or continuously along with the longitudinal direction of a strip region, and said distribution arising along with said longitudinal direction.

[Claim 34] Said two or more openings are the manufacture approaches of the semi-conductor thin film according to claim 32 characterized by arranging the numerical aperture per unit area so that it may increase in the direction of a path from the core of a circle-like field gradually or continuously towards the circumference, and said distribution arising along said direction of a path.

[Claim 35] The heat dissipation layer which becomes a part on the amorphous substance formed on the substrate, or the semi-conductor thin film of polycrystal from the matter with thermal conductivity higher than this semi-conductor thin film, and the process which forms an alignment key, The process which irradiates strong light or a laser beam and said semi-conductor thin film is made to crystallize, and the process which forms a gate electrode layer on said semi-conductor thin film are included. Said alignment key The manufacture approach of the semiconductor device characterized by being used in the photograph process for etching said a part of gate electrode layer, and forming the pattern of a gate electrode in a predetermined location at least.

[Claim 36] The process which forms an alignment key in the part on a substrate, and the process which forms an amorphous substance or the semi-conductor thin film of polycrystal on said substrate and an alignment key, The process which irradiates strong light or a laser beam and said semi-

conductor thin film is made to crystallize, and the process which forms a gate electrode layer on said semi-conductor thin film are included. Said alignment key The manufacture approach of the semiconductor device characterized by being used in the photograph process for consisting of matter with the heat conductivity higher than said semi-conductor thin film, etching said a part of gate electrode layer at least, and forming the pattern of a gate electrode in a predetermined location.

[Claim 37] By irradiating strong light or a laser beam through an exposure mask at the amorphous semi-conductor thin film formed on the substrate The process which forms an alignment key while making it crystallize after quantity of light distribution has arisen, and the process which forms a gate electrode layer on said semi-conductor thin film are included. Said alignment key It is formed of the difference of a color with the polycrystalline silicon field and amorphous silicon field which are produced in a semi-conductor thin film when said exposure mask intercepts a part of transmitted light. The manufacture approach of the semiconductor device characterized by being used in the photograph process for etching said a part of gate electrode layer, and forming the pattern of a gate electrode in a predetermined location at least.

[Claim 38] The process which forms a gate electrode and an alignment key in the part on a substrate, The process which forms an amorphous substance or the semi-conductor thin film of polycrystal on said gate electrode and an alignment key, The manufacture approach of the semiconductor device characterized by including the process which forms in the predetermined location on said semi-conductor thin film the heat dissipation layer which consists of matter with thermal conductivity higher than said semi-conductor thin film, and the process which irradiate strong light or a laser beam and said semi-conductor thin film is made to crystallize using said alignment key.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device, a liquid crystal display, EL display, and a semi-conductor thin film, and the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] As the manufacture approach of the semi-conductor thin film which forms the semi-conductor layer of a thin film transistor (henceforth "TFT"), a laser beam is irradiated to the amorphous semiconductor film or minute crystal semi-conductor film formed by substrates, such as glass, and, generally the laser annealing method for obtaining the polycrystal semi-conductor film is learned by making it crystallize. Usually, this is called a crystallization process.

[0003] Generally as the light source of the laser used at a crystallization process, argon laser, KrF, and XeCl excimer laser are used. Generally TFT produced by the above-mentioned manufacture approach is mainly called low-temperature Pori Si-TFT from the point using Si as a semi-conductor, and the point that a process consists of temperature below the melting point of the glass used as a substrate.

[0004] In the old TFT-liquid-crystal display, TFT which uses amorphous Si as a semi-conductor layer is common, and the method with which the circuit part for driving a pixel attaches IC chip around a screen is adopted. On the other hand, it is producible to a drive circuit by adopting above-mentioned low-temperature Pori Si-TFT using TFT formed on the glass substrate. That is, a part without a screen can be made small in the periphery part of the panel of the liquid crystal display usually called a frame, and the liquid crystal display of a higher definition dot pitch can be produced. Moreover, the so-called system-on panel (SOP) which forms various kinds of semiconductor circuits on a glass substrate becomes possible by using low-temperature Pori Si-TFT of a high property. Furthermore, EL display is producible by switching EL display device using low-temperature Pori Si-TFT.

[0005]

[Problem(s) to be Solved by the Invention] However, above-mentioned low-temperature Pori Si-TFT has the following troubles.

- (1) Since the diameter of crystal grain of the polycrystalline silicon thin film produced is small and electronic mobility is small, produce degradation in properties, such as response engine performance at the time of manufacturing TFT.
- (2) If there are many grain boundaries of a silicon crystal a boundary or near [ its ] a low concentration impurity range (henceforth a "LDD field") or an offset field, and the channel field, since many crystal defects and dangling bonds exist near a grain boundary as TFT, produce degradation, when switching operation is carried out for TFT long duration or many times, and dependability falls.
- (3) Since there is no means to define the physical relationship of the crystal of a silicon thin film and a TFT pattern in case TFT or a display is manufactured, the location of the grain boundary of the silicon crystal to TFT does not become settled, but produce variation in the property at the time of manufacturing TFT.

[0006] This invention sets offer of the polycrystal semi-conductor thin film which has the crystal of

the diameter of a large drop as the main purposes. Furthermore, offer of the semiconductor device which is a high property and has high-reliability is set as the main purposes.

[0007]

[Means for Solving the Problem] (The manufacture approach of a semi-conductor thin film) In order to attain the above-mentioned purpose, the manufacture approach of the semi-conductor thin film of this invention is characterized by to include the process which forms the heat dissipation layer which becomes a part on the amorphous substance formed on the substrate, or the semi-conductor thin film of polycrystal from the matter with thermal conductivity higher than this semi-conductor thin film, and the process which irradiate strong light or a laser beam and said semi-conductor thin film is made to crystallize.

[0008] According to the manufacture approach of this semi-conductor thin film, if melting of the semi-conductor thin film is carried out by the exposure of strong light like a flash lamp, or a laser beam, it will be rapidly cooled near [ in which the heat dissipation layer is formed ] the part by radiating heat by the heat dissipation layer. This cooling rate becomes slow gradually as it keeps away from a heat dissipation layer. Consequently, since a temperature gradient is produced in a semi-conductor thin film at the time of cooling, a crystal grows in accordance with this temperature gradient, i.e., the direction which keeps away near the heat dissipation layer, and the large crystal of particle size is obtained. If TFT is manufactured using this semi-conductor thin film, since it is large compared with the former, the diameter of crystal grain of mobility will improve, and degradation of the engine performance will be reduced.

[0009] As a process which forms said heat dissipation layer, the approach specifically shown below can be illustrated preferably.

[0010] - The process which forms the film of the matter with thermal conductivity higher than this semi-conductor thin film on the aforementioned semi-conductor thin film, The process which forms a resist mask in the film of the matter with said high heat conductivity by the photolithography, The process to which the film of the matter with said high heat conductivity carries out etching removal of the part which is not covered with said resist mask, The process which forms a resist pattern by the process and photolithography which exfoliates said resist mask, The process which forms the film of the matter with the heat conductivity higher than said semi-conductor thin film, and said resist pattern the process which forms the matter with thermal conductivity higher than said semi-conductor thin film by vacuum evaporation or the spatter using the mask which has the process and opening which carries out lift off with the matter with said high thermal conductivity -- by all of these A heat dissipation layer can be formed easily and productivity can be raised.

[0011] The location of said heat dissipation layer can be formed where a semi-conductor thin film is touched, and it may be any of the upper part of a semi-conductor thin film, or a lower part.

[0012] Moreover, the manufacture approach of other semi-conductor thin films of this invention is in the condition to which said strong light or laser beam fixed the physical relationship of a substrate and the light source, and it is characterized by being given by the exposure of one pulse or two or more pulses to the predetermined range on a substrate.

[0013] Since a crystal grows corresponding to each exposure location in the scan exposure which carries out pulse irradiation, moving a substrate or the light source in a predetermined pitch, the crystal which has the particle size more than a pitch is not formed in a scanning direction. On the other hand, by carrying out pulse irradiation, where the physical relationship of a substrate and the light source is fixed, constraint of a scan pitch cannot be received but the crystal of the diameter of a large drop can be formed. Since dispersion in the exposure reinforcement for every pulse is equalized and the diameter of crystal grain and membraneous quality of a semi-conductor thin film are equalized by irradiating two or more pulses to the predetermined range on a substrate especially, dispersion in the property at the time of manufacturing TFT decreases.

[0014] However, said strong light or laser beam can also be given by the scan exposure which carries out two or more pulse irradiation to the predetermined range on a substrate with pulse laser equipment while changing the physical relationship of a substrate and the light source relatively in a predetermined pitch.

[0015] Moreover, the manufacture approach of the semi-conductor thin film of further others of this invention is equipped with the process which forms a heat dissipation layer in the part on a substrate,



the process which forms an amorphous substance or the semi-conductor thin film of polycrystal on said substrate, and the process which irradiate strong light or a laser beam and said semi-conductor thin film is made to crystallize, and said heat dissipation layer is characterized by consisting of matter with thermal conductivity higher than said semi-conductor thin film.

[0016] Since according to the manufacture approach of this semi-conductor thin film a heat dissipation layer is caudad formed rather than a semi-conductor thin film by forming a semi-conductor thin film after forming a heat dissipation layer, when manufacturing TFT using this semi-conductor thin film, removal of a heat dissipation layer is unnecessary. Moreover, since it is not necessary to remove a heat dissipation layer, in the production process of TFT, this heat dissipation layer can be used also as an alignment key. The following can be illustrated as a process which forms a heat dissipation layer caudad rather than a semi-conductor thin film.

[0017] The substrate film which has insulation is formed the process which forms a heat dissipation layer on a substrate, and on this substrate. Said heat dissipation layer by said substrate film - A wrap process, The process which forms the substrate film which has insulation on the process and substrate which forms an amorphous substance or the semi-conductor thin film of polycrystal in said substrate film, the process which forms said heat dissipation layer in said substrate film, and other substrate film which has insulation on said substrate film -- forming -- said heat dissipation layer -- said -- others -- the substrate film -- a wrap process -- said -- others -- the process [0018] which forms an amorphous substance or the semi-conductor thin film of polycrystal in the substrate film. Moreover, the manufacture approach of the semi-conductor thin film of further others of this invention be equip with the process which irradiate strong light or a laser beam and the amorphous substance formed on the substrate or the semi-conductor thin film of polycrystal be make to crystallize through an exposure mask, said exposure mask have the lens section by which the curved surface be formed in a part of front rear face [ at least ], and it be characterize by to make the quantity of light irradiate by said semi-conductor thin film produce inclination-distribution.

[0019] Since inclination-distribution is produced in the quantity of light irradiated by the semi-conductor thin film when strong light or a laser beam penetrates the lens section of said exposure mask according to the manufacture approach of this semi-conductor thin film, according to quantity of light distribution, temperature distribution arise in a semi-conductor thin film. Thereby, solidification and crystallization start the fused semi-conductor thin film from a part with the lowest temperature, i.e., the part which had least exposure quantity of light. And in accordance with an inclination-temperature gradient, a crystal grows towards the part which had much exposure quantity of light, and the large crystal of particle size is obtained. If TFT is manufactured using this semi-conductor thin film, since it is large compared with the former, the diameter of crystal grain of mobility will improve, and degradation of the engine performance will be reduced.

[0020] As an approach of producing said quantity of light distribution, what is specifically shown below can be illustrated preferably.

[0021] - When the lens section which the aforementioned lens section makes produce quantity of light distribution along said band-like longitudinal direction, or the circle-like direction of a path using the exposure mask formed plane view band-like or in the shape of a circle is plane view band-like, along with a band-like longitudinal direction, a crystal grows [ the quantity of light ] towards the part of strength from the part of weakness. Moreover, when the lens section is a plane view circle-like, a crystal grows in the direction which goes to a periphery near the core of the lens section towards a periphery from a core by making it the quantity of light become weakness to strength. If the lens section is a plane view circle-like, since the location which crystallization starts is clear as a point, there is an advantage that the formation location of the diameter crystal of a large drop is controllable with high precision. As an example of the plane view circle-like lens section, the internal surface of the crevice formed in the inferior surface of tongue of an exposure mask can mention the concave lens which is the abbreviation spherical surface-like.

[0022] Although it is desirable to be formed by hollowing a part of front rear face [ at least ] of said exposure mask as for the curved surface of said lens section, it can also form the lens section thickly rather than other parts of an exposure mask by making the lens section convex conversely.

[0023] Moreover, it is characterized by for said exposure mask to make the quantity of light irradiated by said semi-conductor thin film by giving phase distribution to exposure light produce

inclination-distribution by equipping the manufacture approach of the semi-conductor thin film of further others of this invention with the process which irradiates strong light or a laser beam and the amorphous substance formed on the substrate or the semi-conductor thin film of polycrystal is made to crystallize through an exposure mask.

[0024] According to the manufacture approach of this semi-conductor thin film, by interference of the light produced according to phase distribution, since inclination-distribution is produced in the quantity of light irradiated by the semi-conductor thin film, according to quantity of light distribution, temperature distribution arise in a semi-conductor thin film. Thereby, the fused semi-conductor thin film starts solidification and crystallization from a part with the lowest temperature, i.e., the part which had least exposure quantity of light. And in accordance with an inclination-temperature gradient, a crystal grows towards the part which had much exposure quantity of light, and the large crystal of particle size is obtained. If TFT is manufactured using this semi-conductor thin film, since it is large compared with the former, the diameter of crystal grain of mobility will improve, and degradation of the engine performance will be reduced.

[0025] As an approach of producing said phase distribution, what is specifically shown below can be illustrated preferably, and quantity of light distribution can be easily given by this.

[0026] - Phase distribution can be given to the transmitted light by preparing a level difference using the exposure mask which consists of a light transmission nature member from which thickness differs partially, for example, when [ which give phase distribution to said exposure light according to this thickness distribution ] an internal surface forms a cylinder-like crevice in the inferior surface of tongue of an exposure mask. Moreover, since the location which crystallization starts is clear as a point when forming a crevice in the shape of a plane view circle in this way, there is an advantage that the formation location of the diameter crystal of a large drop is controllable with high precision.

[0027] Moreover, the manufacture approach of the semi-conductor thin film of further others of this invention is equipped with the process which irradiates strong light or a laser beam and the amorphous substance formed on the substrate or the semi-conductor thin film of polycrystal is made to crystallize through an exposure mask, said exposure mask consists of a protection-from-light nature member which has two or more openings, and it is characterized by to make the quantity of light irradiated by said semi-conductor thin film by two or more of said openings produce inclination-distribution.

[0028] Since inclination-distribution is produced in the quantity of light irradiated by the semi-conductor thin film by defining the magnitude of each opening, a configuration, arrangement, etc. suitably according to the manufacture approach of this semi-conductor thin film, according to quantity of light distribution, temperature distribution arise in a semi-conductor thin film. Thereby, the fused semi-conductor thin film starts solidification and crystallization from a part with the lowest temperature, i.e., the part which had least exposure quantity of light. And in accordance with an inclination-temperature gradient, a crystal grows towards the part which had much exposure quantity of light, and the large crystal of particle size is obtained. If TFT is manufactured using this semi-conductor thin film, since it is large compared with the former, the diameter of crystal grain of mobility will improve, and degradation of the engine performance will be reduced.

[0029] As an approach of producing said quantity of light distribution, what is specifically shown below can be illustrated preferably.

[0030] - Use the exposure mask with which said two or more openings have been arranged so that the numerical aperture per unit area may change gradually or continuously along with the longitudinal direction of a strip region. The numerical aperture per [ which produces said quantity of light distribution along with said longitudinal direction ] - unit area The exposure mask with which said two or more openings have been arranged so that it may increase in the direction of a path from the core of a circle-like field gradually or continuously towards the circumference is used. In changing the numerical aperture per [ which produces said quantity of light distribution along said direction of a path ] unit area along with the longitudinal direction of a strip region, along with this longitudinal direction, a crystal grows [ the quantity of light ] towards the part of strength from the part of weakness. Moreover, in turning the numerical aperture per unit area on the outskirts from the core of a circle-like field and making it increase in the direction of a path, a crystal grows towards the circumference from the core of a circle-like field. By making change of this quantity of light

distribution in inclination, the particle size of a crystal becomes large. In the case of the latter, since the location which starts crystallization is clear as a point, there is an advantage that the formation location of the diameter crystal of a large drop is controllable with high precision.

[0031] Moreover, in the manufacture approach of a semi-conductor thin film, after forming a porous insulator layer on a substrate, a semi-conductor thin film may be formed and the crystal which has a bigger particle size by this can be obtained.

[0032] In order to attain the above-mentioned purpose, (The manufacture approach of a semiconductor device) The manufacture approach of the semiconductor device of this invention The heat dissipation layer which becomes a part on the amorphous substance formed on the substrate, or the semi-conductor thin film of polycrystal from the matter with thermal conductivity higher than this semi-conductor thin film, and the process which forms an alignment key, The process which irradiates strong light or a laser beam and said semi-conductor thin film is made to crystallize, and the process which forms a gate electrode layer on said semi-conductor thin film are included. Said alignment key [0033] characterized by being used in the photograph process for etching said a part of gate electrode layer, and forming the pattern of a gate electrode in a predetermined location at least According to the manufacture approach of this semiconductor device, if melting of the semi-conductor thin film is carried out by the exposure of strong light or a laser beam, it will be rapidly cooled near [ in which the heat dissipation layer is formed ] the part by radiating heat by the heat dissipation layer. This cooling rate becomes slow gradually as it keeps away from a heat dissipation layer. Consequently, since a temperature gradient is produced in a semi-conductor thin film at the time of cooling, a crystal grows in accordance with this temperature gradient, i.e., the direction which keeps away near the heat dissipation layer, and the large crystal of particle size is obtained.

[0034] or [ that the defect to which the diameter of crystal grain mainly exists in the grain boundary since it is large compared with the former will decrease if TFT is manufactured using this semi-conductor thin film ] -- or -- since it is lost and the properties of TFT including mobility improve -- a high property -- and the semiconductor device which has high-reliability can be obtained. Just refer to the manufacture approach of the above-mentioned semi-conductor thin film for the concrete approach of forming a heat dissipation layer.

[0035] Furthermore, since an alignment key is formed in a semi-conductor thin film, a gate electrode can be formed using this alignment key, and TFT can be formed in a desired location to the diameter crystal of a large drop.

[0036] Since there was no means to form TFT according to this crystal even if the diameter crystal of a large drop was formed in the semi-conductor thin film, the existence of the grain boundary and fluctuation of the number of grain boundaries are produced, and the property of TFT was made to produce dispersion in a LDD field or an offset field, or a channel field conventionally. However, since according to the manufacture approach of this semiconductor device the location of the grain boundary can be avoided and a part of TFT or TFT structure can be formed in the location of the diameter crystal of a large drop, the above-mentioned problem is mitigable.

[0037] As for formation of this alignment key, it is desirable to carry out to coincidence at the same process as formation of a heat dissipation layer.

[0038] Moreover, the manufacture approach of other semiconductor devices of this invention The process which forms an alignment key in the part on a substrate, and the process which forms an amorphous substance or the semi-conductor thin film of polycrystal on said substrate and an alignment key, The process which irradiates strong light or a laser beam and said semi-conductor thin film is made to crystallize, and the process which forms a gate electrode layer on said semi-conductor thin film are included. Said alignment key It is characterized by being used in the photograph process for consisting of matter with the heat conductivity higher than said semi-conductor thin film, etching said a part of gate electrode layer at least, and forming the pattern of a gate electrode in a predetermined location.

[0039] Since the semiconductor device which the property of TFT improves as mentioned above, and is a high property, and has high-reliability is not only obtained, but an alignment key functions as a heat dissipation layer according to the manufacture approach of this semiconductor device, improvement in productivity can be aimed at.

[0040] Moreover, the manufacture approach of the semiconductor device of further others of this

invention By irradiating strong light or a laser beam through an exposure mask at the amorphous semi-conductor thin film formed on the substrate The process which forms an alignment key while making it crystallize after quantity of light distribution has arisen, and the process which forms a gate electrode layer on said semi-conductor thin film are included. Said alignment key It is formed of the difference of a color with the polycrystalline silicon field and amorphous silicon field which are produced in a semi-conductor thin film when said exposure mask intercepts a part of transmitted light. It is characterized by being used in the photograph process for etching said a part of gate electrode layer, and forming the pattern of a gate electrode in a predetermined location at least.

[0041] According to the manufacture approach of this semiconductor device, according to quantity of light distribution, temperature distribution arise in a semi-conductor thin film by making the quantity of light irradiated by the semi-conductor thin film produce distribution. Thereby, solidification and crystallization start the fused semi-conductor thin film from a part with the lowest temperature, i.e., the part which had least exposure quantity of light. And a crystal grows towards the part which had much exposure quantity of light, and the large crystal of particle size is obtained. or [ that the defect to which the diameter of crystal grain mainly exists in the grain boundary since it is large compared with the former will decrease if TFT is manufactured using this semi-conductor thin film ] -- or -- since it is lost and the properties of TFT including mobility improve -- a high property - - and the semiconductor device which has high-reliability can be obtained. Just refer to the manufacture approach of the above-mentioned semi-conductor thin film for the method of producing said quantity of light distribution.

[0042] Furthermore, since an alignment key is formed in a semi-conductor thin film, a gate electrode can be formed using this alignment key, and TFT can be formed in a desired location to the diameter crystal of a large drop. Therefore, since a part of TFT or TFT structure can be formed in the location of the diameter crystal of a large drop, the problem of dispersion in the TFT property produced conventionally is mitigable.

[0043] An alignment key can be formed by irradiating the field of the semi-conductor thin film corresponding to the key pattern formed in the exposure mask, considering as a polycrystal field, and considering as an amorphous field by intercepting the exposure light of the perimeter with an exposure mask. Or it is also possible to form an exposure mask so that an amorphous field is formed as a non-irradiating part, the perimeter may be irradiated and a polycrystal field may be formed only in the part corresponding to a key pattern. As for an amorphous field and a polycrystal field, it is desirable to be formed in the same layer of a semi-conductor thin film.

[0044] Moreover, the manufacture approach of the semiconductor device of further others of this invention The process which forms a gate electrode and an alignment key in the part on a substrate, The process which forms an amorphous substance or the semi-conductor thin film of polycrystal on said gate electrode and an alignment key, It is characterized by including the process which forms in the predetermined location on said semi-conductor thin film the heat dissipation layer which consists of matter with thermal conductivity higher than said semi-conductor thin film, and the process which irradiate strong light or a laser beam and said semi-conductor thin film is made to crystallize using said alignment key.

[0045] Since the diameter crystal of a large drop can be formed by forming a heat dissipation layer using an alignment key according to the location of a gate electrode according to the manufacture approach of this semiconductor device, alignment of the diameter crystal of a large drop and TFT can be performed with a sufficient precision. Therefore, as mentioned above, the property of TFT improves, and the semiconductor device which is a high property and has high-reliability is obtained.

[0046] In order to attain the above-mentioned purpose, (Semiconductor device) The semiconductor device of this invention It has the thin film transistor which has the semi-conductor layer of polycrystal. In said semi-conductor layer A channel field, It has the high concentration impurity range located in the both sides of this channel field, and the offset field which is located between said channel field and a high concentration impurity range, and does not contain a LDD field or an impurity with high impurity concentration lower than said high concentration impurity range. One particle size of the crystals with which at least a part exists in said LDD field or an offset field is characterized by being larger than the particle size of other crystals. Here, the diameter of crystal

grain is the value which measured the diameter of the longest in the direction of the arbitration of plane view.

[0047] When a current flows [ TFT which constitutes a semiconductor device ] by the ON state, the carrier which has moved in the channel field at high speed may collide with the defect of a crystal etc., and it may be scattered about. This is called hot carrier phenomenon. If the scattered carriers collide with weak coupling, such as nearby Si-H, they will cut association and will form the dangling bond of Si. If a dangling bond is made, since other carriers will be captured, electrical conductivity and mobility fall extremely and a TFT property deteriorates.

[0048] The defect of a crystal and association of Si-H will lead to degradation of a property, and the fall of dependability, if it exists near the grain boundary intensively and the grain boundary exists in the LDD field or offset field by the side of a drain mostly especially.

[0049] Then, by making larger than the particle size of other crystals one particle size of the crystals with which at least a part exists in a LDD field or an offset field, the grain boundary which exists in this field can be reduced compared with the former, or it can completely lose, and a property and dependability can be raised.

[0050] For example, as shown in drawing 30 (a), particle size of the crystal C1 with which some crystals exist in the field A which shows a LDD field or an offset field is made larger than the particle size of other crystals C2. When the grain boundary B exists slightly in Field A, or as shown in drawing 30 (b), particle size of the crystal C3 which includes said field A altogether is made larger than other crystals C4, and the case where the grain boundary does not exist at all in Field A corresponds.

[0051] As for other crystals set as the comparison object of particle size, it is desirable that it is what exists outside a LDD field or an offset field. That is, it is desirable that one particle size of the crystals with which at least a part exists in said LDD field or an offset field is larger than which particle size of other crystals (other crystals which exist in a channel field preferably) with which the whole exists outside said LDD field or an offset field.

[0052] Moreover, if many grain boundaries near a boundary with a channel field, the LDD field by the side of a drain, or an offset field exist especially, degradation of a property and the fall of dependability are more remarkable. Therefore, it is desirable that one particle size of the crystals with which at least a part exists in a less than 0.5-micrometer field a LDD field or offset field side including this boundary at least from one side of a boundary with a channel field, a LDD field, or an offset field is larger than the particle size of other crystals. As for this field, it is desirable that it is less than 0.4 micrometers a LDD field or offset field side including a boundary, and it is more desirable that it is less than 0.3 micrometers.

[0053] It is desirable that one particle size of the crystals with which at least a part exists in the above-mentioned field also in this case is larger than which particle size of other crystals (other crystals which exist in a channel field preferably) with which the whole exists outside said LDD field or an offset field.

[0054] When this invention persons experimented, between the diameter of crystal grain of polycrystalline silicon, and TFT dependability, it became clear that there is a correlation as shown in drawing 31 . The boundary with the channel field, LDD field, or offset field which constitutes TFT is made in agreement with the core of the diameter of crystal grain here. Moreover, by applying the electrical potential difference of 5V between source drains, and repeating ON/OFF of 500kHz 1500 hours and gate voltage about each of TFT which has a LDD field or an offset field, dependability conducts drug susceptibility testing for mycobacterium in many switching operation, and expresses it with the rate of the mobility after the inspection to the mobility before inspection.

[0055] If the diameter of crystal grain is 0.6 micrometers or more so that clearly from this drawing, in the case of which [ of LDD and offset ], dependability is 75% or more and is good. The dependability of TFT is so good that the grain boundary separates from a boundary with a channel field, a LDD field, or an offset field, the diameter of crystal grain has desirable 0.8 micrometers or more, and its 1 micrometers or more are more desirable.

[0056] Moreover, it turned out that the grain boundary which exists especially among the grain boundaries located in the both sides of said field boundary by subsequent examination near [ said ] the field boundary by the side of a LDD field or an offset field has a bad influence on dependability.

That is, since electric field are high near [ said ] the field boundary in the LDD field or offset field by the side of a drain, if the grain boundary exists in this location, it will become easy for a hot carrier to generate it. Moreover, there is a possibility that a semi-conductor layer may be destroyed with a grain boundary as the starting point. Consequently, a TFT property deteriorates and the dependability at the time of carrying out switching operation long duration or many times falls.

[0057] Therefore, it is effective to keep away the grain boundary by the side of a LDD field or an offset field from said field boundary beyond predetermined distance especially among the grain boundaries located in the both sides of said field boundary. Since this distance is equivalent to the distance of the one half of the diameter of crystal grain in the above-mentioned experiment, it is desirable that it is 0.3 micrometers or more, it is more desirable that it is 0.4 micrometers or more, and it is still more desirable that it is 0.5 micrometers or more. Namely, by considering as the configuration in which the grain boundary does not exist in less than 0.3 micrometers a LDD field or offset field side including this boundary at least from one side of a boundary with a channel field, a LDD field, or an offset field Since there are few defects which cause a hot carrier phenomenon in this neighborhood, and there will be little weak coupling, such as Si-H, even if a hot carrier occurs The dangling bond used as the main factor of property degradation is not generated, but the phenomenon which destroys the semi-conductor layer based on the defect stops being able to happen further easily. Consequently, degradation of a TFT property can be reduced and improvement in dependability can be aimed at.

[0058] Said field boundary where the grain boundary does not exist should just be a drain side. However, since a drain and the source may be changed depending on a semiconductor device, it is desirable to make it the grain boundary not exist in said field boundary of the both sides by the side of a drain and the source in this case.

[0059] Moreover, as for the above-mentioned semiconductor device, it is still more desirable that the grain boundary does not exist in less than 0.3 micrometers a channel field side from said boundary with a channel field, a LDD field, or an offset field. As for this distance, it is more desirable that it is less than 0.4 micrometers, and it is still more desirable that it is less than 0.5 micrometers. By this, since the grain boundary does not exist not only the predetermined distance less than by the side of the LDD field of said field boundary, or an offset field but within the predetermined distance by the side of a channel field, mobility can improve and reduction of degradation of a TFT property and improvement in dependability can be aimed at more certainly.

[0060] Other semiconductor devices of this invention are equipped with the thin film transistor which has the semi-conductor layer of polycrystal. In said semi-conductor layer Moreover, a channel field, It has the high concentration impurity range located in the both sides of this channel field, and the offset field which is located between said channel field and a high concentration impurity range, and does not contain a LDD field or an impurity with high impurity concentration lower than said high concentration impurity range. It is characterized by the grain boundary not existing in said LDD field or offset field of one side at least.

[0061] Since the grain boundary does not exist in the LDD field or offset field by the side of the drain with which electric field have a high part according to this semiconductor device, generating of a hot carrier can be controlled and reduction of degradation of a TFT property and improvement in dependability can be aimed at.

[0062] Furthermore, when it constitutes so that the grain boundary may not exist in said channel field, mobility can improve and reduction of degradation of a TFT property and improvement in dependability can be aimed at more certainly.

[0063] Furthermore, when it constitutes so that the grain boundary may not exist in said high concentration impurity range contiguous to said LDD field or an offset field, the contact resistance of the source or a drain decreases and the effectiveness that the ON state current of TFT increases substantially is acquired.

[0064] Moreover, the semiconductor device of further others of this invention is equipped with two or more thin film transistors which have a common function, and is characterized by 50% or more of this whole thin film transistor being a thin film transistor mentioned above (however, below decimal point cut-off). As for this rate, it is more desirable that it is 70% or more, and it is still more desirable that it is 90% or more. For example, about the liquid crystal display and EL display which are an

example of a semiconductor device, when the number of TFT which controls actuation of each pixel is 100 pieces, it is desirable that TFT mentioned above is 50 or more pieces.

[0065] According to this semiconductor device, since predetermined is comparatively equipped with the above-mentioned thin film transistor in which reduction of degradation of a TFT property and improvement in dependability are possible among two or more thin film transistors above, the stable engine performance can be obtained.

[0066] As for each above-mentioned semiconductor device, it is desirable that the substrate film which has insulation is formed between a substrate and said semi-conductor layer, and, as for said substrate film, it is desirable that the porous layer whose average aperture is 0.01-2 micrometers is included. This aperture can be measured by observation using the electron microscope represented by cross-section SEM-TEM.

[0067] By forming the substrate film containing a porous layer between a substrate and a semi-conductor layer, the effectiveness which promotes the crystal growth of a semi-conductor layer is acquired. However, if the aperture of a porous layer becomes large, the effectiveness of preventing the impurity diffusion from a substrate to a semi-conductor layer will not be enough, and the shift of the threshold ( $V_t$ ) of the gate voltage which changes TFT from OFF to ON when switching operation is carried out long duration or many times will be produced. Moreover, if a big hole exists in an interface with a channel field or a LDD field, TFT will not function but aggravation of the yield will be caused.

[0068] As for the hole of the above viewpoint to a porous layer, it is desirable that an average aperture is 0.01-2 micrometers, and it is more desirable that it is 0.05-0.1 micrometers. The effectiveness of the particle-size expansion in a semi-conductor layer is not only acquired by this, but the percent defective of TFT can fall and it can prevent further the shift of the threshold ( $V_t$ ) of the gate voltage which changes TFT from OFF to ON when switching operation is carried out a long time or many times.

[0069] Moreover, as for the substrate film which has the insulation formed between said substrates and said semi-conductor layers, it is also desirable to constitute so that a layer more precise than the porous layer whose average aperture is 0.01-2 micrometers, and this porous layer formed on this porous layer may be included.

[0070] According to this semiconductor device, the effectiveness of preventing impurity diffusion can be acquired by the precise layer which constitutes the substrate film, the percent defective of TFT can fall, and the shift of the threshold ( $V_t$ ) of the gate voltage which changes TFT from OFF to ON when switching operation is carried out a long time or many times can be prevented. Moreover, the effectiveness which promotes the crystal growth of a semi-conductor layer is acquired by the porous layer which constitutes the substrate film.

[0071] Moreover, the semiconductor device of further others of this invention is characterized by being formed near the pattern of a predetermined configuration with which a thin film transistor consists of matter with thermal conductivity higher than said semi-conductor layer.

[0072] According to this semiconductor device, it becomes easy to form the crystal of the diameter of a large drop in this semi-conductor layer with the pattern of the predetermined configuration which consists of matter with thermal conductivity higher than a semi-conductor layer.

[0073] As for said pattern, being formed between a substrate and a semi-conductor layer is desirable, and it is more desirable to be covered with the substrate film which has the insulation formed between the substrate and the semi-conductor layer. By this, in case a semiconductor device is manufactured, the effectiveness that it is available as an alignment key in a photograph process produces this pattern.

[0074] The substrate film can be constituted from the 1st substrate film (top substrate film) and the 2nd substrate film (bottom substrate film), and may form said pattern between the 1st substrate film and the 2nd substrate film. In this case, it is desirable to make thickness of the 1st substrate film thinner than the thickness of the 2nd substrate film so that thermal conductivity may be made good and the crystal of the diameter of a large drop may be obtained more. Moreover, as for said pattern, consisting of a metal membrane is desirable, and it can prepare it near the drain field of a semi-conductor layer, a channel field, or the source field.

[0075] The semiconductor device with which the large crystal of particle size exists in the semi-



conductor thin film of the pattern circumference rather than the crystal of other parts can be obtained. A pattern can be prepared in contact with a semi-conductor thin film. Moreover, the diameter of crystal grain of a semi-conductor thin film located in right above [ pattern ] or directly under can obtain a semiconductor device smaller than the diameter of crystal grain of the semi-conductor thin film of the pattern circumference.

[0076] The above semiconductor device can be manufactured by the manufacture approach of the semiconductor device mentioned above, for example. Moreover, for example, a semiconductor device as shown below can be manufactured by the manufacture approach of the semiconductor device mentioned above.

It has the thin film transistor by which the semi-conductor layer was formed on the substrate. In said semi-conductor layer - A channel field, It is located between the high concentration impurity range located in the both sides of this channel field, and said channel field and a high concentration impurity range. It has the offset field which does not contain a LDD field or an impurity with high impurity concentration lower than said high concentration impurity range. The diameter of crystal grain near the boundary with a channel field, a LDD field, or an offset field It has the thin film transistor by which the semi-conductor layer was formed on the semiconductor device and the substrate characterized by being larger than the diameter of crystal grain of other fields. In said semi-conductor layer A channel field, It has the high concentration impurity range located in the both sides of this channel field. The diameter of crystal grain near the boundary of a channel field and a high concentration impurity range It has the thin film transistor by which the semi-conductor layer was formed on the semiconductor device and the substrate characterized by being larger than the diameter of crystal grain of other fields. In said semi-conductor layer A channel field, It is located between the high concentration impurity range located in the both sides of this channel field, and said channel field and a high concentration impurity range. It has the offset field which does not contain a LDD field or an impurity with high impurity concentration lower than said high concentration impurity range. [ whether the diameters of crystal grain of the diameter of crystal grain of a source field, a LDD field, or an offset field differ, and ] Or the diameter of crystal grain of a source field differs from the diameter of crystal grain of a drain field. It has the thin film transistor by which the semi-conductor layer was formed on the semiconductor device and the substrate. (For example, the diameter of crystal grain of a drain field is smaller than the diameter of crystal grain of a source field) The semiconductor device with which one grain boundary exists in one channel field of a semi-conductor layer, and the semiconductor device of further others of this invention are characterized by having the semi-conductor layer which said thin film transistor becomes from the semi-conductor thin film of polycrystal, and the pattern of a predetermined configuration with which it consists of an amorphous semi-conductor thin film.

[0077] According to this semiconductor device, in case it manufactures, the effectiveness that it is available as an alignment key in a photograph process produces the pattern of a predetermined configuration. As for the semi-conductor thin film of polycrystal, and an amorphous semi-conductor thin film, it is desirable to constitute the same layer.

[0078] Moreover, each semiconductor device mentioned above can be used as displays with which each pixel operates, such as a liquid crystal display and EL display, by supplying an electrical potential difference through the semiconductor device containing two or more thin film transistors. In this case, a life until the point defect and line defect of an image appear can be improved, the uniformity of definition and screen intensity can be raised, and the yield and dependability can be raised. Using TFT, EL display is produced using TFT which mentioned above the pixel and drive circuit of EL, can be driven and displayed and includes the both sides of an inorganic EL display and an organic electroluminescence display.

[0079]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about the gestalt of operation of this invention.

[0080] (Gestalt 1 of operation)

(Semi-conductor thin film) The manufacture approach of a semi-conductor thin film is explained first. The manufacture approach in this operation gestalt and the following operation gestalten is explained centering on the silicon (Si) generally used now, although it can carry out similarly about



semi-conductor thin films, such as GaAs, germanium, SiGe, and SiGeC.

[0081] As shown in drawing 1, on a substrate 1, it is the purpose which prevents diffusion of the impurity from a substrate 1, for example, the SiO<sub>2</sub> substrate film 2 of 300nm of thickness is formed with a TEOS-CVD method. In addition, not only 300nm but various setup is possible for the thickness of this substrate film 2. Although glass was used with the gestalt of this operation as a substrate 1, it is also possible to use plastics and a film. A silicon nitride film etc. can be used as substrate film 2. If the thickness of SiO<sub>2</sub> film and a silicon nitride film is 200nm or more, it is satisfactory. When thickness is less than 200nm, the impurity from a glass substrate 1 is spread in the silicon layer 9, and there is a possibility that problems, such as V<sub>t</sub> shift of a TFT property, may occur.

[0082] Next, the amorphous silicon film 3 is formed on the substrate film 2 by the plasma-CVD method. In addition, a reduced pressure CVD method and a spatter may be used in membrane formation of this amorphous silicon film 3. As for the thickness of the amorphous silicon film 3, it is desirable to usually be referred to as 30nm - 90nm. With the gestalt of this operation, it could be 50nm.

[0083] Subsequently, in order to remove the hydrogen in the produced amorphous silicon film 3, heat treatment of 1 hour is performed at 450 degrees C as a dehydrogenation process. In addition, dehydrogenation treatment is not required when the approach by which hydrogen is not contained in the amorphous silicon film 3 like a spatter, or the membrane formation approach with few amounts of hydrogen to contain is used.

[0084] Next, as shown in drawing 2, the laser annealer (ELA equipment) 6 performs a preliminary exposure. With the gestalt of this operation, the laser beam was irradiated 10 times (ten pulses) to one place, moving the substrate on a stage (not shown) using a XeCl pulse laser (wavelength of 308nm). In addition, you may irradiate instead of moving a substrate, fixing a substrate and moving the optical system of a laser beam.

[0085] Since the laser used for crystallization is excellent in absorption efficiency, it is so desirable that short laser 500nm or less is required and wavelength turns into short wavelength more, since it is absorbed to the silicon film and it is necessary to generate heat. Although the crystallization process was performed in this invention using XeCl excimer laser (wavelength of 308nm), excimer lasers, Ar laser, etc., such as ArF and KrF, may be [ that wavelength should just be laser 500nm or less ] used. Moreover, although explained using the pulse laser, the laser of continuous oscillation (CW) may be used. In this case, what is necessary is just to make the pulse number under following explanation correspond to irradiation time.

[0086] When irradiating a laser beam 7 to the amorphous silicon film 3, by irradiating with two or more about 160 mJ/cm energy density in a room temperature, crystallization takes place and the polycrystalline silicon film 11 is formed one by one to the direction indicated by the arrow. Although to ask for exposure area is required in order to compute energy density, in this specification, distribution of laser reinforcement is measured and area of the field which connected the location used as 1/2 of the reinforcement of the highest reinforcement, and was surrounded is made into exposure area.

[0087] At this preliminary exposure process, the amorphous silicon film 3 is crystallized using laser reinforcement with 170 - 280 mJ/cm<sup>2</sup> comparatively weaker, for example since it is hard to produce a crystal defect at the process in which the high polycrystalline silicon film 11 of especially membraneous quality is not required for, and the one where particle size is conversely finer forms the next diameter silicon film of a large drop. With this operation gestalt, it irradiated by 250 mJ/cm<sup>2</sup> and particle size as shown in drawing 3 obtained the polycrystalline silicon film 11 30nm or less.

[0088] Next, using the mask for pattern formation, as shown in drawing 8 R> 8 (a), the heat dissipation layer 4 and the alignment key 5 are formed on the polycrystalline silicon film 11. With this operation gestalt, although membranes were formed by vacuum evaporation, means, such as a spatter, are applicable.

[0089] The heat dissipation layer 4 is the matter with thermal conductivity higher than the polycrystalline silicon film 11, and almost all metal or its alloys, such as aluminum, Ti, nickel, Cr, Ti, Mo, W, Cu, Au, Ag, Pt, Ta, and In, are suitable. Moreover, as long as thermal conductivity is high, you may be metallic oxides, such as ITO (InTiO). About this, it is the same also in the

following operation gestalten. With this operation gestalt, the heat dissipation layer 4 and the alignment key 5 were formed with the molybdenum tungsten alloy (MoW). Moreover, although the configuration of this heat dissipation layer 4 was made into the shape of a rectangle in plane view in this operation gestalt, it can also be made into the shape of the shape of the shape of a triangle, and a circle, and an ellipse etc.

[0090] Subsequently, again, using a laser annealer (ELA equipment), as shown in drawing 5 (a), this exposure process is performed. The minimum of the exposure reinforcement of the laser beam 7 in this exposure process is a bigger value than the exposure reinforcement of the preliminary exposure process mentioned above. Moreover, the upper limit of exposure reinforcement is a value until deterioration and evaporation of the polycrystalline silicon layer 11 begin. The range on the strength of a laser beam 7 is 420 mJ/cm<sup>2</sup> from 280 mJ/cm<sup>2</sup>, and, specifically, was made into 380 mJ/cm<sup>2</sup> with the gestalt of this operation. Furthermore, this upper limit and lower limit have the desirable range which it is desirable that it is proportional to the thickness of the silicon film 3 mostly, it makes  $E_l$  a laser beam consistency (mJ/cm<sup>2</sup>) on the strength by making  $T_a$  into the thickness (nm) of the silicon film 3, and fills the relation of  $3.78T_a + 138 \leq E_l \leq 4.54T_a + 153$ .

[0091] Since exposure reinforcement is stabilized and the diameter of crystal grain and membraneous quality become homogeneity so that it increases, the property at the time of forming TFT behind is stabilized by one count of an exposure of a laser beam 7. On the other hand, an exposure takes time amount and productivity gets worse. Therefore, the desirable count of an exposure per place from such a viewpoint is about 30 times from 10 times. In this operation gestalt, it carried out to one place 20 times, moving a substrate in a suitable pitch. In addition, if one count of an exposure is made into 100 times or more, as compared with 20 times of cases, the mobility at the time of manufacturing TFT will improve by about 1.5 times.

[0092] According to this exposure process of this, the silicon film 11 which became polycrystal at the preliminary exposure process is fused again. In order that heat may move in the direction of an arrow head 12 near the heat dissipation layer 4 in the fused silicon film 11 towards the heat dissipation layer 4 with thermal conductivity higher than the silicon film 11, it is cooled quickly. Since this cooling rate becomes slow as it keeps away from the heat dissipation layer 4, as shown in drawing 5 (b), it is the part which a temperature gradient produces near the heat dissipation layer 4 after the predetermined passage of time, and this temperature gradient produces, and crystallization is performed towards an elevated-temperature side from a low temperature side. Consequently, as shown in drawing 6, the diameter crystal 14 of a large drop with a large particle size is formed in the silicon film [ / near the heat dissipation layer 4 ] 11, and the diameter crystal 15 of a granule with a particle size smaller than it is formed in the part which is separated from the heat dissipation layer 4. Moreover, since the heat dissipation layer 4 serves as a mask and is not irradiated, melting of the lower part field 13 of the heat dissipation layer 4 is not carried out, but it is maintained with the condition of having crystallized at the preliminary exposure process.

[0093] The flat-surface configuration of the diameter crystal 14 of a large drop is shown in drawing 7. The particle size a of the direction where the die-length direction, i.e., a temperature gradient, produced this diameter of crystal grain when measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM) was 1 micrometer, and the particle size b of the cross direction, i.e., the direction which intersects perpendicularly in the die-length direction on a flat surface, was 0.5 micrometers. The maximum distance between the grain boundaries in each direction shows this particle size. Moreover, there was no big defect in a grain. When the diameter of crystal grain was similarly investigated about the diameter crystal 15 of a granule in the circumference of the diameter crystal 14 of a large drop, particle size was 100nm or less, and it was comparable as the particle size of the polycrystalline silicon film obtained at the conventional exposure process. Thus, in this exposure process, it is [ / near the heat dissipation layer 4 (i.e. the location defined beforehand) ] possible to enlarge the diameter of crystal grain of the silicon film alternatively, and to raise membraneous quality.

[0094] Next, the removal process of the heat dissipation layer 4 is performed. Since the alignment key 5 is formed with the heat dissipation layer 4 on the polycrystalline silicon film 11 as shown in drawing 8 (a), the protective coats 16, such as a resist, are first applied to the alignment key 5, and desiccation solidification is carried out ( drawing 8 (b)). And dry etching or wet etching is performed

and the heat dissipation layer 4 is removed. ( Drawing 8 (c) ) . Finally, exfoliation liquid removes a protective coat 16 ( drawing 8 (d) ). Thereby, after the alignment key 5 has remained, the heat dissipation layer 4 is removed and a semi-conductor thin film is completed. Since many dangling bonds are formed, termination of the dangling bond of a silicon atom is carried out to the polycrystalline silicon film 11 by the hydrogen atom by leaving it at 450 degrees C for 2 hours in the hydrogen plasma. Hydrogen content concentration is about  $-three \times 10^{20}$  atom-cm.

[0095] In manufacture of the semi-conductor thin film in this operation gestalt, although the configuration of the heat dissipation layer 4 is made into the shape of a plane view rectangle, it is also desirable to consider as the shape of a plane view triangle. By making the heat dissipation layer 4 into such a configuration, crystal growth is started from the top-most vertices of the heat dissipation layer 4 after this exposure process, and as shown in drawing 9 , the flat-surface configuration of the diameter crystal 14 of a large drop becomes abbreviation sector-like. In this case, since the origin of crystal growth becomes clear as a point, in the production process of TFT mentioned later, the alignment of the diameter crystal of a large drop and TFT becomes easy.

[0096] (Semiconductor device) Next, how to manufacture the thin film transistor (TFT) which constitutes a semiconductor device is explained. First, as shown in drawing 10 (a), after performing a photograph process and an etching process using the alignment key 5 and carrying out patterning to the shape of an island to the polycrystalline silicon film 11 which has the diameter crystal 14 of a large drop using the semi-conductor thin film obtained by the manufacture approach mentioned above, the gate dielectric film 19 which consists of silicon oxide is formed. The alignment key 5 is used also in the following photograph processes for the alignment of a mask. Gate dielectric film 19 can form the film of SiO<sub>2</sub> by the plasma CVD which used TEOS, and required thickness is 100nm. As the formation approach, it is also possible to, use reduced pressure CVD, remote plasma CVD, ordinary pressure CVD, ECR-CVD, etc. for example. Moreover, high-pressure oxidation, plasma oxidation, etc. are possible.

[0097] Next, as shown in drawing 10 (b), the gate electrode 20 is formed on gate dielectric film 19. After the gate electrode 20 forms for example, the molybdenum tungsten alloy film by sputtering, it performs a photograph process using the photo mask for gate electrodes, and is formed by carrying out patterning to a predetermined configuration by etching. If it considers as the ingredient of a gate electrode, aluminum system ingredient which added at least one sort, such as Si, Cu, Ta, Sc, and Zr, can also be used for high grades aluminum and aluminum.

[0098] the mask (not shown) used in a photograph process -- the alignment key 5 -- alignment -- possible -- the gate electrode 20 -- the near diameter crystal 14 of a large drop of the polycrystalline silicon film 11 -- in more detail, it forms so that the edge by the side of the drain of the gate electrode 20 (right-hand side of drawing) may be located in the center of the diameter crystal 14 of a large drop.

[0099] Subsequently, as shown in drawing 10 (c), an ion doping process is performed. First, Lynn is poured into the silicon film 11 by low concentration by using the gate electrode 20 as a mask with an ion doping system. Thereby, the part [ directly under ] of the gate electrode 20 in the silicon film 11 serves as the channel field 22. It is also possible for boron, arsenic, etc. used as an acceptor to be able to create P channels and N channel transistor alternatively by using aluminum other than Lynn etc. alternatively as a donor, and to build a CMOS circuit on a substrate as an impurity, in addition to Lynn.

[0100] Next, according to a photograph process, after forming a resist pattern in the range of 2 micrometers from the gate electrode 20 and its both ends, high-concentration Lynn is poured in with an ion doping system by using this resist pattern as a mask. Consequently, a high concentration impurity range is formed in the part which is not covered with a resist pattern on both sides of the channel field 22 in the silicon film 11. This high concentration impurity range turns into the source field 24 and the drain field 17, respectively. Moreover, it becomes the LDD fields 18a and 18b where high impurity concentration is lower than a high concentration impurity range between the channel field 22 and the high concentration impurity ranges 17 and 24.

[0101] Then, a resist pattern is removed. The poured-in impurity is activated by heat treatment etc. About activation of the poured-in ion, since the self-activation by the hydrogen poured into coincidence arises, it is also possible not to add a process like annealing, but in order to attain more

positive activation, local heating may be performed by annealing 400 degrees C or more, a excimer laser exposure, RTA (Rapid Thermal Anneal), etc.

[0102] Next, as shown in drawing 10 (d), the interlayer insulation film 21 which consists of silicon oxide is formed to the whole. although the film of SiO<sub>2</sub> can be formed by the plasma CVD using TEOS as an interlayer insulation film 21 -- other approaches (Atmospheric Pressure CVD), for example, AP-CVD, -- low LTO (Low Temperature Oxide), ECR-CVD, etc. -- SiO<sub>2</sub> It cannot be overemphasized that you may carry out by forming the film. Moreover, it is very good in the laminated structure of the thin film which can use silicon nitride, tantalum oxide, an aluminum oxide, etc., and consists of these ingredients as an ingredient of an interlayer insulation film 21.

[0103] And opening of the contact hole which arrives at the source field 24 and the drain field 17 of the polycrystalline silicon film 11 is carried out to an interlayer insulation film 21 and gate dielectric film 19 by etching. Then, sputtering of the titanium film, the aluminum zirconium alloy film, etc. is carried out, patterning is carried out to a predetermined configuration by etching, and source electrode 23a and drain electrode 23b are formed in this contact hole. You may be Polly Si who may use metals or those alloys, such as aluminum (aluminum), a tantalum (Ta), molybdenum (Mo), chromium (Cr), and titanium (Ti), and contains an impurity so much as an ingredient of the source and the drain electrodes 23a and 23b in addition to the aluminum zirconium alloy film. Or transparence conductive layers, such as the Polly SiGe alloy and ITO, etc. may be used.

[0104] According to the above process, TFT40 of n mold shown in drawing 11 (a) is completed. What is necessary is just to perform B doping process instead of pouring in Lynn, when the p mold TFT is required.

[0105] Since the gate electrode 20 is formed using the alignment key 5 so that the edge by the side of the drain of the gate electrode 20 may be located in the center of the diameter crystal 14 of a large drop, as TFT in this operation gestalt shows drawing 11 , from the boundary of LDD field 18b by the side of a drain, and the channel field 22, a 0.5 - micrometer field (field shown according to the mesh line of drawing) is a single crystal, and the grain boundary B does not exist in both sides. Therefore, degradation of TFT by hot carrier generation can be prevented, and improvement in dependability can be aimed at. Moreover, in manufacture of a semi-conductor thin film, by forming the heat dissipation layer 4 also not only near the drain field 17 but near the source field 24, the grain boundary B can be prevented from existing also near the boundary of LDD field 18a by the side of the source of TFT40, and the channel field 22 (it being 0.5 micrometers to both sides), and a property and dependability can be raised more by this.

[0106] When the mobility of TFT40 in this operation gestalt is measured, it is 180cm<sup>2</sup>/V-s, and compared with the mobility of the conventional TFT obtained using the semi-conductor thin film manufactured without forming the heat dissipation layer 4 being 100cm<sup>2</sup>/V-s, it improved sharply. Moreover, when the reliability trial in many switching operation was performed by applying the electrical potential difference of 5V between source drains, and repeating 500kHz ON of 1500 hours and gate voltage, and OFF, to mobility having fallen from initial value to about 50%, by TFT40 of this operation gestalt, mobility is 85% or more of initial value, and degradation by switching decreased at the above-mentioned conventional TFT. This reliability trial was performed on the same conditions also in the following operation gestalten.

[0107] (Liquid crystal display) Next, the liquid crystal display using TFT obtained by the approach mentioned above is explained. As shown in drawing 12 , this liquid crystal display 50 has the TFT array substrate 1 and the opposite substrate 31 which have been arranged so that it may counter mutually.

[0108] Alignment arrangement of two or more TFT40 is carried out at the shape of a matrix, and, as for the TFT array substrate 1, the drive circuits 42 and 44 are formed around TFT40 at the top-face side (opposite substrate 31 side). Moreover, the opposite substrate 31 is a glass substrate (for example, lot number 1737 of Corning, Inc.) which is an insulating substrate, and the color filter 32 and the transparent electrode 33 are formed in the inferior-surface-of-tongue side (TFT array substrate 1 side). Between the TFT array substrate 1 and the opposite substrate 31, it has the liquid crystal section 35 by which liquid crystal was enclosed among orientation film, such as polyimide. Furthermore, with the field where the TFT array substrate 1 and the opposite substrate 31 counter, polarizing plates 37 and 39 are stuck on the field of the opposite side, respectively.

[0109] One of the pixel fields 56 in the TFT array substrate mentioned above is expanded to drawing 13, and it is shown. On the TFT array substrate, the scanning line 52 and the data line 54 are arranged in the shape of a matrix, and TFT40 is arranged near each intersection. Source electrode 23a of TFT40 is connected to the data line 54, and drain electrode 23b is connected to the pixel electrode 58 which is a transparent electrode. Moreover, the gate electrode 20 is connected to the scanning line 52.

[0110] Thus, by reduction of a raise in the property of a TFT array, and degradation, the percent defective of the drive circuit of a liquid crystal display decreased, and, as for the constituted liquid crystal display 50, faults, such as screen intensity nonuniformity, decreased. To the percent defective of the drive circuit in the liquid crystal display using the above-mentioned conventional TFT having been 15%, in the liquid crystal display 50 of this operation gestalt, the percent defective decreased to 7%, and, specifically, it decreased to 3% with the liquid crystal display 50 of this operation gestalt to the screen intensity nonuniformity percent defective having been 7% conventionally.

[0111] (EL display) Next, EL display using TFT obtained by the approach mentioned above is explained. This EL display is equipped with the TFT array substrate, and, as for the TFT array substrate, TFT for switching, TFT for a drive, and an EL element are arranged to each pixel field.

[0112] EL element 60 is formed by carrying out the laminating of the cathode 64, such as the anode plate 61 which consists of transparent electrodes, such as ITO, a luminous layer 62, the hole-injection layer 63, and AILi, on the polycrystalline silicon film 11, as shown in drawing 14. The aluminum quinolinol complex layer 65 is formed in the inferior-surface-of-tongue side (substrate 1 side) of cathode 64. Between each anode plate 61, it is buried by the resin black resist and the optical filter layer 66 is formed of the photolithography. A luminous layer 62 is formed by carrying out patterning spreading of the luminescent material of red, green, and blue for example, using an ink jet printing equipment. Moreover, the hole-injection layer 63 is formed by carrying out vacuum deposition of the polyvinyl carbazole.

[0113] As an ingredient of EL element 60, although the poly dialkyl fluorene derivative was used with this operation gestalt, other organic materials, for example, other poly fluorene system ingredients and the ingredient of a polyphenyl vinylene system, are sufficient, and an inorganic material is also usable. Moreover, the manufacture approach of EL element 60 should just opt for the methods of application, such as a spin coat, vacuum evaporation, the regurgitation formation by the ink jet, etc. suitably according to the material of construction.

[0114] The circuit diagram of this EL display is shown in drawing 15. The gate electrode of TFT71 for switching is connected to the gate signal line 72, the drain electrode is connected to the drain signal line 73, and the source electrode is connected to the gate electrode of TFT74 for a drive. Moreover, the source electrode of TFT74 for a drive is connected to the anode plate of EL element 60, and the drain electrode is connected to the power-source line 76. A sign 75 is a capacitor.

[0115] If the pulse signal given to the gate signal line 72 by the drive circuit 77 is impressed to the gate electrode of TFT71 for switching, TFT71 for switching will be in ON condition, and the drain signal given to the drain signal line 73 by the drive circuit 78 will be given to the gate electrode of TFT74 for a drive. By this, TFT74 for a drive will be in ON condition, a current is supplied to EL element 60 from the power-source line 76, and EL element 60 emits light.

[0116] Thus, as for constituted EL display, the fault of screen intensity nonuniformity or poor image quality decreased by reduction of a raise in the property of a TFT array, and degradation. When the conventional TFT was used, specifically, it decreased to 2% with EL display of this operation gestalt to the screen intensity nonuniformity percent defective having been 8%. Moreover, although TFT property degradation at the time of performing long duration or many switching had become poor image quality, it decreased from 15% of the conventional percent defectives to 5%.

[0117] (Gestalt 2 of operation) Next, the gestalt 2 of operation of this invention is explained. In this operation gestalt and the following operation gestalten, the sign same all over drawing is given to what has the same function as the component explained with the gestalt 1 of operation, and explanation of a repeat is omitted about the contents which overlap the gestalt 1 of operation.

[0118] The manufacture approach of the semi-conductor thin film in the gestalt 2 of operation changes the count of an exposure of the laser beam 7 in this exposure process in the manufacture approach of the semi-conductor thin film in the gestalt 1 of operation. That is, in this operation

gestalt, all substrate sides were irradiated once (one pulse) to the predetermined range on a substrate by the laser beam operated orthopedically possible [ an exposure ] at once to carrying out the count exposure of plurality of the laser beam 7 to the predetermined range on a substrate in the gestalt 1 of operation. The desirable range on the strength of a laser beam 7 presupposed that it is the same as that of the gestalt 1 of operation.

[0119] In this way, when the particle size of the diameter crystal 14 of a large drop of the obtained semi-conductor thin film was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), in plane view, the particle size a of the die-length direction was 1.6 micrometers, and the crosswise particle size b was 0.5 micrometers (refer to drawing 6 and drawing 7 ). Moreover, there was no big defect in a grain. Thus, it is also desirable to irradiate only one pulse in this exposure process one on a substrate from a viewpoint that the diameter of crystal grain obtains a larger silicon thin film.

[0120] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes a semiconductor device, since the particle size of the diameter crystal of a large drop is 1.6 micrometers, the edge by the side of the drain of a gate electrode performs alignment of the mask by the alignment key so that it may be located in 0.8 micrometers from the center of the diameter crystal of a large drop, i.e., the grain boundary. Consequently, a 0.8-micrometer field serves as a single crystal from the boundary of LDD field 18b by the side of a drain, and the channel field 22 at both sides, and it will be in the condition that the grain boundary does not exist.

[0121] In this way, the mobility after 180cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 95% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 3%, the screen intensity nonuniformity percent defective was 0.8%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 1%, the image quality percent defective was 2%, and all were good compared with the conventional EL display.

[0122] (Gestalt 3 of operation) Next, the gestalt 3 of operation of this invention is explained. In the manufacture approach of the semi-conductor thin film in the gestalt 1 of operation, the manufacture approach of the semi-conductor thin film in the gestalt 3 of operation performs the process which forms said heat dissipation layer 4 and the alignment key 5, without performing a preliminary exposure process, and performs further the process which forms this heat dissipation layer 4 and the alignment key 5 by lift off.

[0123] That is, the wrap resist pattern R is formed except the part used as a heat dissipation layer and an alignment key by the resist by the photolithography on the amorphous silicon film 3 which performed dehydrogenation treatment ( drawing 16 (a)). Subsequently, after forming the MoW film M by vacuum evaporation ( drawing 16 (b)), the heat dissipation layer 4 and the alignment key 5 are formed by removing the MoW film M on Resist R and a resist with resist exfoliation liquid ( drawing 16 (c)).

[0124] Next, this exposure process is performed and the polycrystalline silicon film is formed. As for the range on the strength of the laser beam 7 in this exposure process of this, it was desirable that it was the same as this exposure process in the gestalt 1 of operation, and it made it 380 mJ/cm<sup>2</sup> with this operation gestalt. Moreover, the count of an exposure to one on a substrate was made into 8 times (eight pulses). Thereby, the diameter crystal of a large drop is formed in the perimeter of the heat dissipation layer 4 (refer to drawing 6 ). After this, the heat dissipation layer 4 is removed like the gestalt 1 of operation.

[0125] In this operation gestalt, since the preliminary exposure process is not performed like the gestalt 1 of operation, the lower part field of the part in which the heat dissipation layer 4 was formed serves as amorphous silicon. Therefore, in order to crystallize this field, a laser annealer (ELA equipment) performs an addition exposure process. Since the high thing of especially membraneous quality is not required, the reinforcement of the laser beam in an addition exposure process is smaller than the laser beam reinforcement in this exposure process in the field in which the heat dissipation layer 4 was formed, and it is enough for it. Moreover, if the laser beam of not much strong reinforcement is irradiated, since a defect will be produced into the silicon crystal 14 of

the diameter of a large drop formed in this exposure process, it is not desirable. Therefore, the same range as the preliminary exposure process in the gestalt 1 of operation of laser beam reinforcement was desirable, and made it 250 mJ/cm<sup>2</sup> with this operation gestalt. Moreover, the count of an exposure to one on a substrate was made into 10 times. In addition, various setup is possible for this count of an exposure. Of this, the polycrystalline silicon of the diameter of a granule 30nm or less is formed in the field in which the heat dissipation layer 4 was formed for particle size.

[0126] In this way, when the particle size of the diameter silicon crystal 14 of a large drop of the obtained semi-conductor thin film was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), it was about 2 micrometers. Moreover, there was no big defect in a grain. Furthermore, when dispersion in particle size was investigated about 100 diameter crystals 14 of a large drop, it was 2micrometer\*\*0.4micrometer, and compared with the case where it irradiates by the single pulse being 1.6micrometer\*\*0.8micrometer, there was little dispersion instead of irradiating a laser beam by two or more pulses in this exposure process of the gestalt 1 of operation.

[0127] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes the semiconductor device of this operation gestalt, an offset field is formed as follows in the ion doping process of the gestalt 1 of operation instead of forming a LDD field. First, the pattern of a resist is formed on 2 micrometers from the gate electrode 20 and its both ends with photolithography. Next, with an ion doping system, high-concentration Lynn is poured in by using said resist as a mask. Consequently, as shown in drawing 17, the lower part of the gate metal 20 serves as the channel field 22, and, as for a 2-micrometer field, the offset fields 18c and 18d are formed from the both ends of the channel field 22. Moreover, a high concentration impurity range is formed in the part which is not covered with a resist pattern. This high concentration impurity range turns into the source field 24 and the drain field 17, respectively. The rest manufactures a semiconductor device like the gestalt 1 of operation.

[0128] Moreover, since the particle size of the diameter crystal of a large drop is 2 micrometers, the edge by the side of the drain of the gate electrode 20 performs alignment of the mask by the alignment key 5 so that it may be located in 1 micrometer from the center of the diameter crystal of a large drop, i.e., a grain boundary. Consequently, from a boundary with 18d of offset fields by the side of a drain, and the channel field 22, a 1-micrometer field is a single crystal and it becomes both sides with TFT in which the grain boundary does not exist.

[0129] In this way, obtained TFT had [ those of initial value with 95% or more, and all ] good mobility compared with TFT of the former [ mobility / after 200cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium ]. Moreover, 2.5%, the screen intensity nonuniformity percent defective was 0.6%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 0.7%, the image quality percent defective was 1.2%, and all were good compared with the conventional EL display.

[0130] (Gestalt 4 of operation) Next, the gestalt 4 of operation of this invention is explained. The manufacture approach of the semi-conductor thin film in the gestalt 4 of operation performs the process which forms said heat dissipation layer 4 and the alignment key 5 like the manufacture approach of the semi-conductor thin film in the gestalt 3 of operation, without performing a preliminary exposure process, and performs further the process which forms this heat dissipation layer 4 and the alignment key 5 according to a photograph process and an etching process.

[0131] That is, on the amorphous silicon film 3 which performed dehydrogenation treatment, by vacuum evaporatio<sup>no</sup> or sputtering, thermal conductivity is higher than the silicon film, and the InTiO (ITO) film is formed as matter which penetrates a laser beam. Subsequently, the heat dissipation layer 4 and the alignment key 5 which consist of an ITO pattern of a predetermined configuration are formed according to a photograph process and an etching process (refer to drawing 4 ).

[0132] Next, this exposure process is performed and the polycrystalline silicon film is formed. In this operation gestalt, reinforcement of a laser beam 7 was made into 360 mJ/cm<sup>2</sup>, and the count of an exposure to one on a substrate was made into 300 times (300 pulses). Thereby, the diameter crystal



14 of a large drop is formed in the perimeter of the heat dissipation layer 4 (refer to drawing 6 and drawing 7 ). After this, the heat dissipation layer 4 is removed like the gestalt 1 of operation. [0133] In this operation gestalt, although the preliminary exposure process as well as the gestalt 3 of operation is not performed, since the heat dissipation layer 4 is formed of ITO which is the matter which has light transmission nature, the silicon film of heat dissipation layer 4 lower part is also crystallized by this exposure process. Therefore, an addition exposure process is not needed like the gestalt 3 of operation, but shortening of a production process can be attained.

[0134] In this way, when the particle size of the diameter crystal 14 of a large drop of the obtained semi-conductor thin film was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 4 micrometers, and the crosswise particle size b was 0.5 micrometers (refer to drawing 6 and drawing 7 ). Moreover, there was no big defect in a grain. Furthermore, when dispersion in particle size was investigated about 100 diameter crystals 14 of a large drop, it was 4micrometer\*\*0.4micrometer and there was little dispersion in this exposure process of the gestalt 1 of operation compared with the case where a laser beam is irradiated by the single pulse being 1.6micrometer\*\*0.8micrometer.

[0135] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes a semiconductor device, with this operation gestalt, alignment of the mask for gate formation by the alignment key 5 was performed so that the gate electrode 20 might be located in the center of the diameter crystal 14 of a large drop. That is, since the particle size of the die-length direction of the diameter crystal 14 of a large drop was 4 micrometers, it was made for the edge by the side of the drain of the gate electrode 20 to be located in 0.8 micrometers from a grain boundary by setting source-drain lay length of the gate electrode 20 to 2.5 micrometers. And it was made to become the single crystal with which the channel field 22 and the LDD fields 18a and 18b continued, i.e., the condition that the grain boundary does not exist, by setting to 2.5 micrometers channel length of a channel field who can set the gate electrode 20 caudad according to this, and setting the LDD length of the LDD fields 18a and 18b of channel field 22 both sides to 0.8 micrometers (refer to drawing 11 ).

[0136] In this way, the mobility after 320cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 97% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 1.5%, the screen intensity nonuniformity percent defective was 0.4%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 0.5%, the image quality percent defective was 1.2%, and all were good compared with the conventional EL display.

[0137] (Gestalt 5 of operation) Next, the gestalt 5 of operation of this invention is explained. In the manufacture approach of the semi-conductor thin film in the gestalt 1 of operation, a photograph process and an etching process perform the manufacture approach of the semi-conductor thin film in the gestalt 5 of operation instead of the vacuum evaporatio using the mask for pattern formation performing the heat dissipation layer 4 and the alignment key 5.

[0138] That is, the MoW film is formed as matter with thermal conductivity higher than the silicon film by vacuum evaporatio or sputtering on the polycrystalline silicon film formed of the preliminary exposure process. subsequently, the heat dissipation layer 4 which consists of a pattern of MoW of a predetermined configuration according to a photograph process and an etching process -- and it forms alignment key 5 (refer to drawing 8 (a)). Next, this exposure process is performed and the polycrystalline silicon film 11 is formed. In this operation gestalt, reinforcement of a laser beam 7 was made into 360 mJ/cm<sup>2</sup>, and the count of an exposure to one on a substrate was made into 300 times (300 pulses). Thereby, the diameter crystal 14 of a large drop is formed in the perimeter of the heat dissipation layer 4. After this, the heat dissipation layer 4 is removed like the gestalt 1 of operation.

[0139] In this way, when the particle size of the diameter crystal 14 of a large drop of the obtained semi-conductor thin film was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 4 micrometers, and the crosswise particle size b was 0.5 micrometers (refer to drawing 6 and drawing



7 ). Moreover, there was no big defect in a grain.

[0140] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes the semiconductor device of this operation gestalt, an offset field is formed like the gestalt 3 of operation in the ion doping process of the gestalt 1 of operation instead of forming a LDD field (refer to drawing 17 ).

[0141] With this operation gestalt, alignment of the mask for gate formation by the alignment key 5 was performed so that the gate electrode 20 might be located in the center of the diameter crystal 14 of a large drop. That is, since the particle size of the die-length direction of the diameter crystal 14 of a large drop was 4 micrometers, it was made for the edge by the side of the drain of the gate electrode 20 to be located in 0.8 micrometers from a grain boundary by setting saw salt drain lay length of the gate electrode 20 to 2.5 micrometers. And it became the single crystal with which the channel field 22 and the offset fields 18c and 18d continued by setting the die length of the channel field 22 of gate electrode 20 lower part to 2.5 micrometers according to this, and setting offset fields [ of channel field 22 both sides / 18c and 18d ] die length to 0.8 micrometers, and considered as the condition that the grain boundary does not exist.

[0142] In this way, the mobility after 310cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 97% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 2%, the screen intensity nonuniformity percent defective was 0.4%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 0.4%, the image quality percent defective was 1%, and all were good compared with the conventional EL display.

[0143] (Gestalt 6 of operation) Next, the gestalt 6 of operation of this invention is explained. The manufacture approach of the semi-conductor thin film in the gestalt 6 of operation is characterized by forming the hole of the diameter of minute in the substrate film formed on a substrate in the gestalt 1 of operation.

[0144] That is, the silica which uses Si, O, and an organic solvent as a principal component is applied on this substrate, rotating a substrate 1. In this operation gestalt, alcohol (methanol) was used as an organic solvent. Subsequently, the substrate film 2 of SiO<sub>x</sub> including a hole is formed by heat-treating this substrate 1 (refer to drawing 1 ). The temperature of heat treatment has 550 degrees C or more more desirable 620 degrees C or less, in order to make the curvature of a substrate 1 small, while 450 degrees C or more 650 degrees C or less are suitable and making a hole small. Temperature of heat treatment was made into 600 degrees C in this operation gestalt.

[0145] Although the average aperture of a hole was about 10 micrometers when the solidification process of a silica was being performed at 400 degrees C like the conventional heat treatment, the average aperture of a hole has been improved by 2 micrometers or less by making it solidify at 600 degrees C. As for this average aperture, it is desirable that it is 0.01-2 micrometers, and it is more desirable that it is 0.05-0.1 micrometers.

[0146] After this, the semi-conductor thin film was manufactured like the gestalt 5 of operation. When the particle size of the diameter crystal 14 of a large drop of a semi-conductor thin film was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 30 micrometers, and the crosswise particle size b was 0.5 micrometers (refer to drawing 6 and drawing 7 ). Moreover, there was no big defect in a grain. The particle size of the diameter crystal 15 of a granule was 200 micrometers or less.

[0147] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. It considers as the photo mask which carries out patterning of the polycrystalline silicon layer, and was made for the center of a gate electrode to turn into a center of the diameter silicon crystal of a large drop in manufacture of TFT which constitutes the semiconductor device of this operation gestalt using the photo mask designed so that a channel field, a LDD field, a source field, and a drain field might be formed in the diameter silicon crystal 14 of a large drop. Saw salt drain lay length of a gate electrode was set to 4 micrometers. Thereby, each of 1.5 micrometers, source length, and drain length got [ channel length / 4 micrometers and LDD length ] the 10-micrometer n mold TFT. These fields serve as a

single crystal with which all continued, and the grain boundary does not exist.

[0148] In this way, the mobility after 380cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 97% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, the average aperture of the hole of the substrate film was 2 micrometers or less, and since the average aperture of a hole was made quite small compared with the substrate film of the conventional porosity, the percent defective fell sharply.

[0149] About the liquid crystal display, 1.5%, the screen intensity nonuniformity percent defective was 0.3%, and all had the good percent defective of a drive circuit compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 0.3%, the image quality percent defective was 0.7%, and all were good compared with the conventional EL display.

[0150] (Gestalt 7 of operation) Next, the gestalt 7 of operation of this invention is explained. After the manufacture approach of the semi-conductor thin film in the gestalt 7 of operation forms the substrate film on a substrate in the gestalt 1 of operation, it is characterized by forming the substrate film which has a porous layer further.

[0151] That is, the SiO<sub>2</sub> substrate film 2 of 300nm of thickness is formed with a TEOS-CVD method on a substrate 1 like the gestalt 1 of operation. Subsequently, a laser beam is irradiated by using the silicon substrate for membrane formation as a target by the reinforcement about which silicon evaporates, and the silicon film is formed on the substrate film 2 by the laser ablation which makes a silicon particle vapor-deposit. A lot of holes exist in the formed silicon film. Next, the formed silicon film is oxidized. By generating the plasma in ozone or an oxygen ambient atmosphere, the silicon film including the hole formed by laser ablation oxidizes, and it is set to SiO<sub>2</sub> film 2a (refer to [drawing 18](#) ). A lot of holes are included in this SiO<sub>2</sub> film 2a, and the average aperture of a hole is 1 micrometer or less. Although the role which prevents that the impurity from the substrates 1, such as glass, is spread to a semi-conductor layer becomes inadequate [ just substrate film 2a that has a hole ], with this operation gestalt, the impurity diffusion from a substrate 1 to a semi-conductor layer can be certainly prevented by making it the two-layer structure of the substrate film 2 which consists of a precise layer of SiO<sub>2</sub>, and substrate film which consists of porous layer 2a.

[0152] After this, the semi-conductor thin film was manufactured like the gestalt 5 of operation. When the diameter of crystal grain of the diameter crystal 14 of a large drop of a semi-conductor thin film was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 30 micrometers, and the crosswise particle size b was 0.5 micrometers (refer to [drawing 6](#) and [drawing 7](#) ). Moreover, there was no big defect in a grain. The particle size of the diameter crystal 15 of a granule was 200 micrometers or less.

[0153] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes the semiconductor device of this operation gestalt, channel length got [ 4 micrometers and LDD length / each of 1.5 micrometers, source length, and drain length ] the 10-micrometer n mold TFT like the gestalt 5 of operation. These fields serve as a single crystal with which all continued, and the grain boundary does not exist.

[0154] In this way, the mobility after 380cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 97% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT.

[0155] About the liquid crystal display, 1.2%, the screen intensity nonuniformity percent defective was 0.2%, and all had the good percent defective of a drive circuit compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 0.2%, the image quality percent defective was 0.5%, and all were good compared with the conventional EL display.

[0156] The substrate film which has a porous layer can be considered as porous membrane, such as SOG (spin-on glass) film, and it is checking that the silicon crystal of the diameter of a large drop grows. SOG does not ask organic and inorganic.

[0157] (Gestalt 8 of operation) Next, the gestalt 8 of operation of this invention is explained. The manufacture approach of the semi-conductor thin film in the gestalten 8-12 of operation performs

this exposure process using an exposure mask in the manufacture approach of the semi-conductor thin film in the gestalt 1 of operation.

[0158] First, after forming the substrate film 2 and the amorphous silicon film 3 on a substrate 1 (refer to drawing 1 ) and performing dehydrogenation treatment like the gestalt 1 of operation if needed, this exposure process is performed as follows. In this operation gestalt, as an exposure mask, as shown in drawing 19 , the exposure mask 105 prepared so that two or more plane view band-like lenses 114 might become parallel mutually at a plate is used. Although any of a light transmission nature ingredient or a protection-from-light nature ingredient could be used for the plate which constitutes the exposure mask 105, the quartz which has light transmission nature in this operation gestalt was used for it.

[0159] As each lens 114 is shown in drawing 20 (a), in the side face by the side of a longitudinal direction, it is formed so that the bottom (side which counters a substrate 1) may be set to concave bend side 114a of a side view approximate circle arc, and in consideration of each installation of a substrate 1 and the exposure mask 105, lens curvature is designed so that the quantity of light which a lens 114 is penetrated and is irradiated by the silicon film may be made to produce inclination-distribution.

[0160] Thus, the constituted exposure mask 105 has been arranged near the substrate 1, and 1 pulse irradiation of the laser beam 7 was carried out through this exposure mask 105. The desirable exposure range on the strength of a laser beam 7 is the same as that of the case of this exposure process in the gestalt 1 of operation, and was made into 380 mJ/cm<sup>2</sup> with this operation gestalt. Thereby, as shown in drawing 20 (b), the laser beam 7 which penetrated the lens 114 produces quantity of light distribution in the longitudinal direction of a lens 114, and produces an inclination-temperature gradient in the same direction of the silicon film 11. Consequently, from fewest parts (2 in drawing 20 (b)) of the quantity of light, a crystal grows towards each by the side of the core of a lens 114, and the circumference, and the diameter crystal 14 of a large drop is formed. When the particle size of the diameter crystal 14 of a large drop was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 6 micrometers, and the crosswise particle size b was 2 micrometers ( drawing 6 , R> drawing 7 7 reference). Moreover, there was no big defect in a grain. Thus, with this operation gestalt, the silicon crystal 14 with a big particle size is formed in the location corresponding to the lens 114 of the exposure mask 105. Moreover, in this operation gestalt, although not illustrated, the exposure mask 105 is equipped with the pattern for key formation, and an alignment key can be formed by this. The pattern for this key formation is explained in detail in the gestalt 10 of operation mentioned later.

[0161] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In this operation gestalt, TFT was formed in the location of the diameter silicon crystal of a large drop using the alignment key formed with the pattern for key formation mentioned above.

[0162] In this way, the mobility after 170cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 75% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 11%, the screen intensity nonuniformity percent defective was 5%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 5%, the image quality percent defective was 11%, and all were good compared with the conventional EL display. Moreover, at the time of impression of electrical-potential-difference 5V, the brightness of EL display is 400 cd/m<sup>2</sup>, and improved compared with conventional 300 cd/m<sup>2</sup>.

[0163] moreover , in manufacture of the semi-conductor thin film of this operation gestalt , although the count of an exposure of a laser beam 7 be made into 1 time as mentioned above , the defect of the silicon crystal in the polycrystalline silicon film 11 decreased by carry out an exposure several times ( number pulse ) , where it made the substrate and the optical axis stand it still and both physical relationship be fix ( quiescence exposure ) . By carrying out a ten or more (preferably 100 or more pulses) pulse exposure especially, particle size was expanded with reduction of the defect of a silicon crystal, and the property at the time of manufacturing TFT improved. Moreover, although reduction

in a crystal defect was not remarkable as compared with the quiescence exposure mentioned above when irradiating two or more pulses, changing the relative position of a substrate and an optical axis gradually so that the exposure area for every exposure of a laser beam 7 may overlap 90% (scan exposure), compared with the conventional scan exposure, the diameter of crystal grain became large according to the effectiveness using the exposure mask 105, and the TFT property also improved.

[0164] Moreover, although the configuration of a lens 114 is using as the concave lens the lens used for an exposure mask with this operation gestalt, quantity of light distribution suitable also as a convex lens being produced is check ending. About this point, it is the same also in the following operation gestalten which use the exposure mask which has a lens.

[0165] (Gestalt 9 of operation) Next, the gestalt 9 of operation of this invention is explained. The manufacture approach of the semi-conductor thin film in the gestalt 9 of operation used the exposure mask 139 in which two or more openings 138 were formed for the plate which consists of matter (for example, stainless steel) which does not penetrate light as an exposure mask, as shown in drawing 21. Each opening 138 is formed in the single tier so that opening area may change gradually, and two or more arrangement is carried out so that this train may become parallel mutually. That is, along with the longitudinal direction of a strip region including this train, a numerical aperture changes gradually. Change of a numerical aperture may be performed by changing a configuration, spacing, etc. of each opening 138.

[0166] When reinforcement of a laser beam 7 is made into 380 mJ/cm<sup>2</sup>, the magnitude of each opening 138 is designed so that the quantity of light distribution irradiated by the substrate 1 through the exposure mask 139 may serve as 250 mJ/cm<sup>2</sup> to 380 mJ/cm<sup>2</sup>. Furthermore, the opening 137 of the predetermined configuration for key pattern formation is formed in the exposure mask 139.

[0167] Thus, the constituted exposure mask 139 has been arranged near the substrate 1, and the semi-conductor thin film was manufactured like the gestalt 8 of operation (drawing 22 (a)).

Thereby, the laser beam 7 which passed the opening 138 of the exposure mask 139 produces quantity of light distribution in accordance with an opening train, and produces an inclination-temperature gradient in the same direction of the silicon film 11. Consequently, the silicon crystal 14 of the diameter of a large drop is formed towards the elevated-temperature section from the low-temperature section. When the particle size of the diameter crystal 14 of a large drop was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 10 micrometers, and the crosswise particle size b was 3 micrometers (refer to drawing 6 and drawing 7). Moreover, there was no big defect in a grain. Thus, with this operation gestalt, the silicon crystal 14 with a big particle size is formed in the location corresponding to the train which the opening 138 of the exposure mask 139 makes.

[0168] Moreover, with this operation gestalt, since the opening 137 for key pattern formation is formed in the exposure mask 139, the field of the polycrystalline silicon film corresponding to this opening configuration is formed of the exposure of a laser beam, and that perimeter serves as a field of the amorphous silicon film. Therefore, the formed key pattern can be used as an alignment key 5 from the difference of a color with polycrystalline silicon and amorphous silicon.

[0169] The alignment key which consists of amorphous silicon film may be made to be formed by forming an exposure mask so that this alignment key 5 may use only a key part as a non-irradiating part and that perimeter may be irradiated. The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes a semiconductor device, TFT was formed in the location of the diameter silicon crystal of a large drop like the gestalt 1 of operation using the alignment key 5.

[0170] In this way, the mobility after 250cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 83% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 8%, the screen intensity nonuniformity percent defective was 4%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 3%, the image quality percent defective was 8%, and all were good compared with the conventional EL display. Moreover, at the time of impression of electrical-potential-difference 5V, the brightness of EL display is 450 cd/m<sup>2</sup>, and improved compared with the former.

[0171] (Gestalt 10 of operation) Next, the gestalt 10 of operation of this invention is explained. As an exposure mask, the manufacture approach of the semi-conductor thin film in the gestalt 10 of operation uses for a plate the exposure mask 205 with which two or more lenses 214 have been arranged in the shape of an array (the shape of a matrix), as shown in drawing 23 . Although any of a light transmission nature ingredient or a protection-from-light nature ingredient could be used for the plate which constitutes the exposure mask 205, the quartz which has light transmission nature in this operation gestalt was used for it.

[0172] As each lens 214 is shown in drawing 24 , it is the concave lens with which the crevice was formed in the bottom (side which counters a substrate 1), and the internal surface of a crevice is formed in the shape of the abbreviation spherical surface. When reinforcement of a laser beam is made into 380 mJ/cm<sup>2</sup>, the curvature of a lens is designed so that the quantity of light distribution irradiated by the substrate 1 through an exposure mask may turn into inclination-distribution of 250 mJ/cm<sup>2</sup> to 380 mJ/cm<sup>2</sup>. Furthermore, the pattern 240 for key formation which consists of a metal which does not have light transmission nature is formed in a part of field which has the light transmission nature of the exposure mask 205 (refer to drawing 23 ).

[0173] Thus, the constituted exposure mask 205 has been arranged to the substrate 1 in near, and the semi-conductor thin film was manufactured like the gestalt 8 of operation ( drawing 24 (a) ). Thereby, as the laser beam 7 which penetrated the lens 214 of the exposure mask 205 is shown in drawing 24 (b) , quantity of light distribution is produced along the direction of a path of the plane view circle-like lens 214, and the silicon crystal of the diameter of a large drop is formed towards the elevated-temperature section from the low-temperature section. When the particle size of the diameter crystal 14 of a large drop was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 10 micrometers, and the crosswise particle size b was 10 micrometers (refer to drawing 6 and drawing 7 ). Moreover, there was no big defect in a grain. Thus, with this operation gestalt, since quantity of light distribution was produced also crosswise as compared with the gestalt 8 of operation, the shape of crystal form became approximate circle-like, and the area of the diameter crystal 14 of a large drop was expanded.

[0174] Moreover, with this operation gestalt, with the pattern 240 for key formation formed in the exposure mask 205, since the field of amorphous silicon is formed in some polycrystalline silicon film 11, the formed pattern can be used as an alignment key 5 from a difference with the field of the polycrystalline silicon formed in the perimeter.

[0175] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes a semiconductor device, TFT was formed in the location of the diameter crystal 14 of a large drop like the gestalt 1 of operation using the alignment key 5. In this operation gestalt, since the core of the diameter crystal 14 of a large drop carries out abbreviation coincidence, the formation location of the diameter crystal 14 of a large drop becomes more clearly and fixed, and alignment of the diameter crystal 14 of a large drop and TFT by the alignment key 5 can be performed with a more sufficient precision in the location corresponding to the core of the lens 214 of the exposure mask 205.

[0176] In this way, the mobility after 370cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 95% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 3%, the screen intensity nonuniformity percent defective was 1%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 1%, the image quality percent defective was 5%, and all were good compared with the conventional EL display. Moreover, at the time of impression of electrical-potential-difference 5V, the brightness of EL display is 470 cd/m<sup>2</sup>, and improved compared with the former.

[0177] (Gestalt 11 of operation) Next, the gestalt 11 of operation of this invention is explained. As an exposure mask, the manufacture approach of the semi-conductor thin film in the gestalt 11 of operation uses the exposure mask 241 with which two or more crevices 242 have been arranged in the shape of an array for the plate bottom (side which counters a substrate) of the matter (for

example, quartz) which has light transmission nature, as shown in drawing 25 . The internal surface of each crevice 242 is formed in the shape of a cylinder, and forms level difference 241b between mask inferior-surface-of-tongue 241a. Furthermore, the pattern 240 for key formation which becomes some exposure masks 241 from the metal which does not have light transmission nature is formed.

[0178] As shown in drawing 26 (a), the exposure mask 241 constituted in this way has been arranged near the substrate 1, and the semi-conductor thin film was manufactured like the gestalt 8 of operation. Thereby, since the laser beam 7 which penetrated the exposure mask 241 produces a phase shift by level difference 241b which forms a crevice 242, as shown in drawing 26 (b), it produces distribution in the quantity of light irradiated on a substrate. The location of the quantity of light corresponding to near level difference 241b of a crevice 242 is the weakest, and the quantity of light increases this quantity of light distribution towards a core side and its opposite side along the direction of a path of a crevice 242, respectively. When reinforcement of a laser beam is made into 380 mJ/cm<sup>2</sup>, the magnitude of a crevice 242 and the height of level difference 241b are designed so that it may become inclination-distribution of 250 mJ/cm<sup>2</sup> to 380 mJ/cm<sup>2</sup>. Thereby, the silicon crystal of the diameter of a large drop is formed towards the elevated-temperature section from the low-temperature section. In this operation gestalt, as an approach of making the laser beam 7 which penetrates the exposure mask 241 producing phase contrast distribution, although the crevice 242 is formed in inferior-surface-of-tongue 241a of the exposure mask 241, heights are instead formed, and even if it constitutes so that the thickness of this part may become thick rather than a periphery, a phase shift can be produced like this operation gestalt.

[0179] When the particle size of the diameter crystal 14 of a large drop was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 10 micrometers, and the crosswise particle size b was 10 micrometers (refer to drawing 6 and drawing 7 ). Moreover, there was no big defect in a grain. Thus, with this operation gestalt, like the gestalt 10 of operation, since quantity of light distribution was produced also crosswise, the shape of crystal form became approximate circle-like, and the area of the diameter crystal 14 of a large drop was expanded.

[0180] Moreover, with this operation gestalt, with the pattern 240 for key formation formed in the exposure mask 241, since the field of amorphous silicon is formed, the formed pattern can be used as an alignment key 5 from a difference with the field of the polycrystalline silicon formed in the perimeter (refer to drawing 2626 (a)).

[0181] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes a semiconductor device, TFT was formed in the location of the diameter crystal of a large drop like the gestalt 1 of operation using the alignment key 5. In this operation gestalt, since the core of the diameter crystal 14 of a large drop carries out abbreviation coincidence, the formation location of the diameter crystal 14 of a large drop becomes more clearly and fixed, and alignment of the diameter silicon crystal 14 of a large drop and TFT by the alignment key 5 can be performed with a more sufficient precision in the location corresponding to the core of the crevice 242 of the exposure mask 241.

[0182] In this way, the mobility after 410cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 97% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 2%, the screen intensity nonuniformity percent defective was 0.7%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 0.6%, the image quality percent defective was 4%, and all were good compared with the conventional EL display. Moreover, at the time of impression of electrical-potential-difference 5V, the brightness of EL display is 520 cd/m<sup>2</sup>, and improved compared with the former.

[0183] (Gestalt 12 of operation) Next, the gestalt 12 of operation of this invention is explained. The manufacture approach of the semi-conductor thin film in the gestalt 12 of operation uses the exposure mask 339 in which two or more openings 338 were formed for the plate which consists of matter (for example, stainless steel) which does not penetrate light as an exposure mask, as shown in

drawing 27 . Each opening 338 is arranged at the radial so that opening area may increase gradually towards the circumference focusing on one point, and it forms the plane view approximate circle-like quantity of light distribution formation field 350. That is, each opening 338 is arranged so that the numerical aperture per unit area may increase the quantity of light distribution formation field 350 in the direction of a path from a core towards the circumference. When reinforcement of a laser beam is made into 380 mJ/cm<sup>2</sup>, the configuration of each opening 338, spacing, etc. are designed so that the quantity of light distribution irradiated by the substrate through an exposure mask may turn into inclination-distribution of 250 mJ/cm<sup>2</sup> to 380 mJ/cm<sup>2</sup>. On the exposure mask 339, two or more formation of such a quantity of light distribution formation field 350 is carried out at the shape of an array (the shape of a matrix).

[0184] Moreover, the opening 340 of this area is arranged at equal intervals at the whole, and the opening 337 of the predetermined configuration further for key pattern formation is formed in fields other than quantity of light distribution formation field 350.

[0185] Thus, the constituted exposure mask 339 has been arranged to the substrate in near, and the semi-conductor thin film was manufactured like the gestalt 8 of operation. The laser beam which passed the opening 338 of the quantity of light distribution formation field 350 produces the quantity of light distribution which increases in the direction of a path from the location corresponding to the core of the quantity of light distribution formation field 350 on a substrate 1 towards the circumference, and produces an inclination-temperature gradient. Consequently, the diameter silicon crystal 14 of a large drop is formed towards the elevated-temperature section from the low-temperature section. When the particle size of the diameter crystal 14 of a large drop was measured with the atomic force microscope (AFM) and the transmission electron microscope (TEM), the particle size a of the die-length direction was 10 micrometers, and the crosswise particle size b was 10 micrometers (refer to drawing 6 and drawing 7 ). Moreover, there was no big defect in a grain. Thus, with this operation gestalt, like the gestalt 10 of operation, since quantity of light distribution was produced also crosswise, the shape of crystal form became approximate circle-like, and the area of the diameter crystal 14 of a large drop was expanded. Moreover, the part irradiated through the opening 340 formed in fields other than quantity of light distribution formation field 350 became the diameter crystal 15 of a granule.

[0186] Moreover, with this operation gestalt, a polycrystalline silicon field is formed in the location corresponding to this opening 337 of the opening 337 for key formation formed in the exposure mask 339, and since an exposure is intercepted and an amorphous silicon field is formed with the exposure mask 339, the pattern corresponding to the opening 337 for key formation can be used for that perimeter as an alignment key 5 from the difference of a color with a polycrystalline silicon field and an amorphous silicon field.

[0187] The semiconductor device, the liquid crystal display, and EL display were manufactured like the gestalt 1 of operation using this semi-conductor thin film. In manufacture of TFT which constitutes a semiconductor device, TFT was formed in the location of the diameter crystal 14 of a large drop like the gestalt 1 of operation using the alignment key 5. In this operation gestalt, since the core of the diameter crystal 14 of a large drop carries out abbreviation coincidence, the formation location of the diameter crystal 14 of a large drop becomes more clearly and fixed, and alignment of the diameter crystal 14 of a large drop and TFT by the alignment key 5 can be performed with a more sufficient precision in the location corresponding to the core of the quantity of light distribution formation field 350 of an exposure mask.

[0188] In this way, the mobility after 410cm<sup>2</sup>/V-s and drug susceptibility testing for mycobacterium was 97% or more of initial value, and obtained TFT had [ all ] good mobility compared with the conventional TFT. Moreover, 2%, the screen intensity nonuniformity percent defective was 0.7%, and all had the percent defective of a drive circuit good about the liquid crystal display, compared with the conventional liquid crystal display. Moreover, about EL display, the screen intensity nonuniformity percent defective was 0.6%, the image quality percent defective was 4%, and all were good compared with the conventional EL display. Moreover, at the time of impression of electrical-potential-difference 5V, the brightness of EL display is 520 cd/m<sup>2</sup>, and improved compared with the former.

[0189] (Gestalt 13 of operation) Next, the gestalt 13 of operation of this invention is explained. First,



as shown in drawing 28 (a), after the manufacture approach of the semi-conductor thin film in the gestalt 13 of operation forms the alignment key 5 on a substrate 1, it forms the insulating substrate film 2, such as a nitride and an oxide film, on a substrate 1 and the alignment key 5, and forms the amorphous silicon film 3 on this substrate film 2. This alignment key 5 consists of matter with the heat conductivity higher than the amorphous silicon film 3, and can be formed by the formation approaches in each operation gestalt mentioned above, such as the approach of forming and carrying out lift off after etching after the vacuum evaporation using a mask, and membrane formation, and resist pattern formation.

[0190] Next, a laser beam is irradiated to the amorphous silicon film 3 on the same conditions as this exposure process in the gestalt 1 of the above-mentioned implementation. Thereby, as shown in drawing 28 (b), the alignment key 5 functions as a heat dissipation layer, and the diameter crystal 14 of a large drop is formed near the alignment key 5.

[0191] TFT40 can be formed in the location of the diameter crystal 14 of a large drop as shown in drawing 28 (c) after this using the alignment key 5 like the manufacture approach of TFT in the gestalt 1 of operation. Thus, since the alignment key 5 can be made to serve a double purpose as a heat dissipation layer, shortening of the production process of a semiconductor device can be attained.

[0192] As the substrate film 2 is shown in drawing 28 (d), it constitutes from two-layer [ of top substrate film 2b and bottom substrate film 2c ], and the alignment key 5 may be made to be arranged between top substrate film 2b and bottom substrate film 2c. In this case, it is desirable to make thickness of top substrate film 2b thinner than the thickness of bottom substrate film 2c, and it can make thermal conductivity good by this. Moreover, top substrate film 2b is used as a porous layer, and it is good also considering bottom substrate film 2c as a layer more precise than this porous layer.

[0193] (Gestalt 14 of operation) Next, the gestalt 14 of operation of this invention is explained. Although the structure of TFT in each operation gestalt mentioned above is generally called KOPURENA (coplanar) structure or forward stagger structure, what is called bottom gate structure or reverse stagger structure exists. TFT of such reverse stagger structure can be manufactured as follows.

[0194] First, after forming the alignment key 5 on a substrate 1, the substrate film 2 is formed. Subsequently, sputtering of the metal membrane is carried out, a photolithography is performed using the alignment key 5, and the gate electrode 20 in which patterning was carried out to the predetermined location by dry etching etc. is formed ( drawing 29 (a)). Subsequently, after forming gate dielectric film 19 with a TEOS-CVD method etc., the amorphous silicon film 3 is formed by a plasma-CVD method etc., and heat treatment etc. performs dehydrogenation ( drawing 29 (b)).

[0195] After this, like the gestalt 1 of operation, the amorphous silicon film 3 is used as the polycrystalline silicon film 11 according to a preliminary exposure process, and the heat dissipation layer 4 which consists of an ingredient with thermal conductivity higher than the polycrystalline silicon film 11 is formed near the gate electrode 20 using the alignment key 5 ( drawing 29 (c)). And after forming the diameter crystal of a large drop near the heat dissipation layer 4 according to this exposure process, a semi-conductor thin film is completed by performing the removal process of the heat dissipation layer 4. It cannot be overemphasized that the heat dissipation layer 4 can be formed by other approaches shown in each operation gestalt mentioned above, either. The approach of manufacturing TFT using this semi-conductor thin film can be performed like the gestalt 1 of operation. Moreover, in case the alignment key 5 forms the metal membrane for gate electrode formation and performs a photograph process and an etching process instead of forming between a substrate 1 and the substrate film 2, it can also be formed in coincidence with the gate electrode 20.

[0196] As mentioned above, although the gestalt of operation of this invention was explained concretely, to say nothing of this invention not being what is limited to the above-mentioned operation gestalt, modification various in the range which does not deviate from the summary is possible.

[0197]

[Effect of the Invention] According to this invention, the polycrystal semi-conductor thin film which



has the crystal of the diameter of a large drop can be offered so that clearly from the above explanation. Furthermore, the semiconductor device which is a high property and has high-reliability can be offered.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

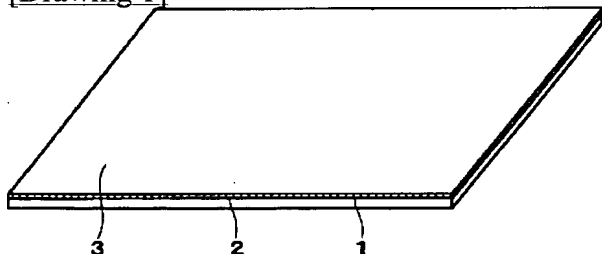
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

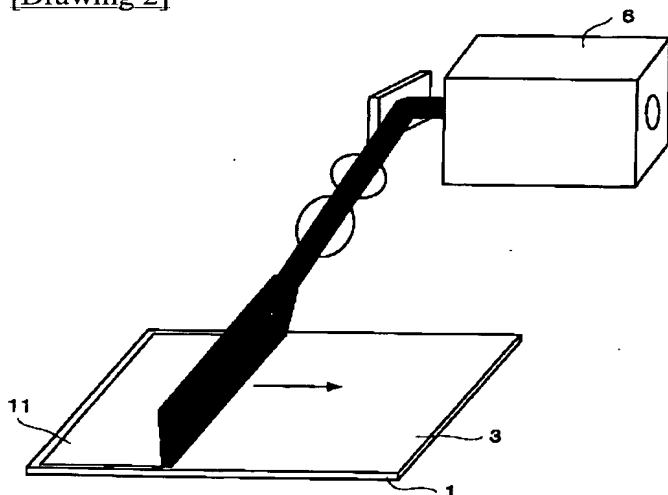
DRAWINGS

---

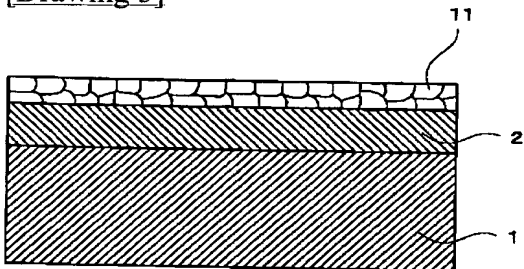
[Drawing 1]



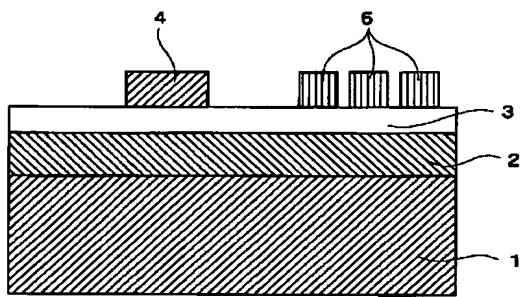
[Drawing 2]



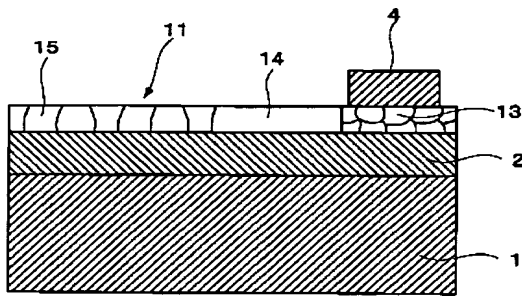
[Drawing 3]



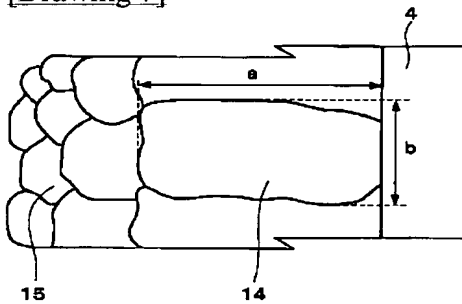
[Drawing 4]



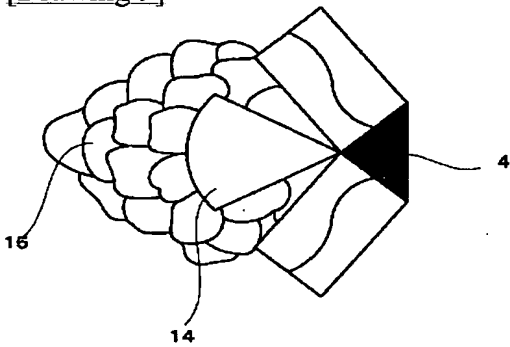
[Drawing 6]



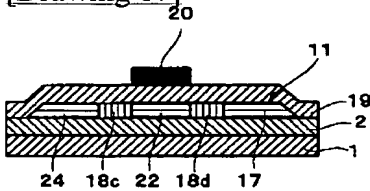
[Drawing 7]



[Drawing 9]



[Drawing 17]

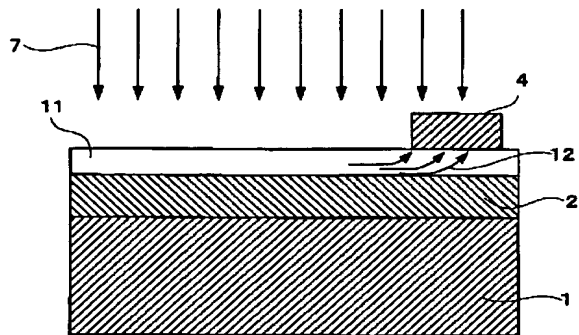


[Drawing 18]

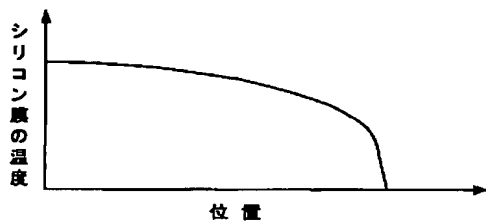


[Drawing 5]

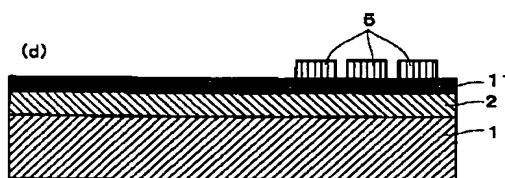
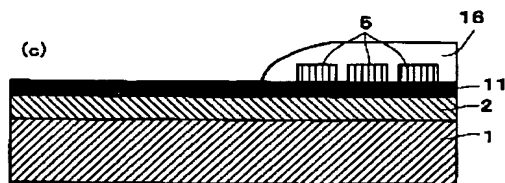
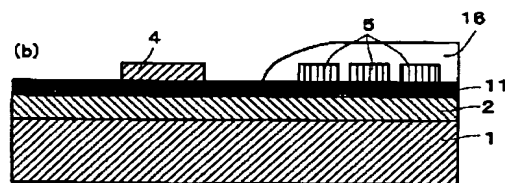
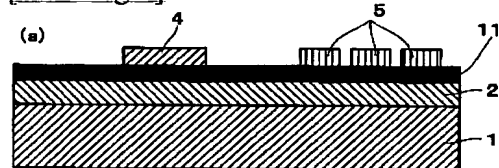
(a)



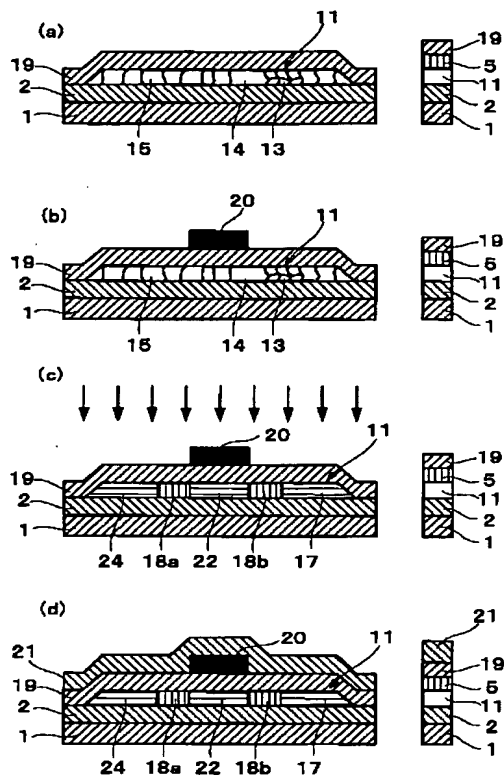
(b)



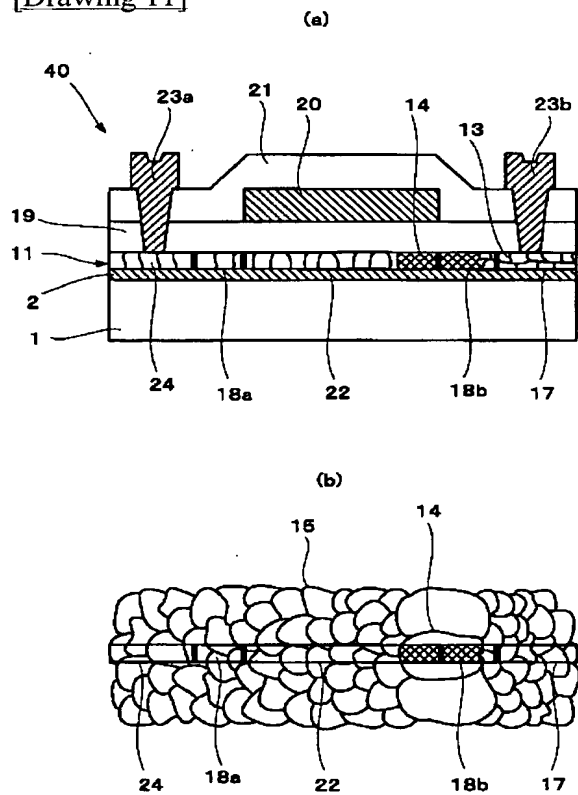
[Drawing 8]



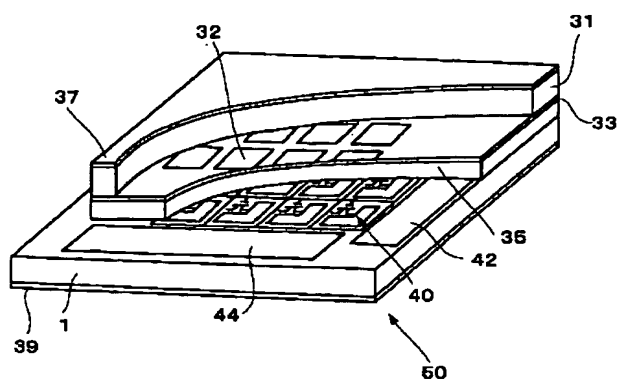
[Drawing 10]



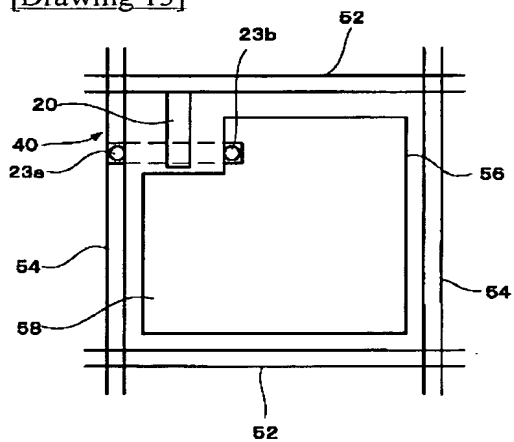
[Drawing 11]



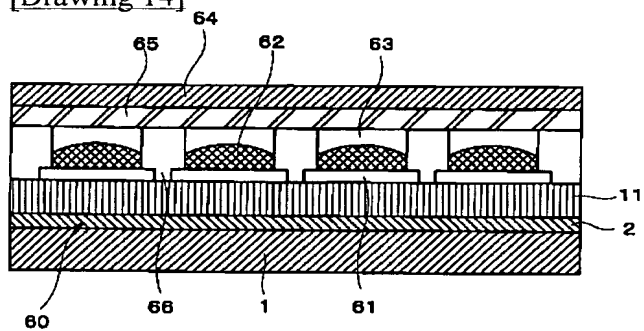
[Drawing 12]



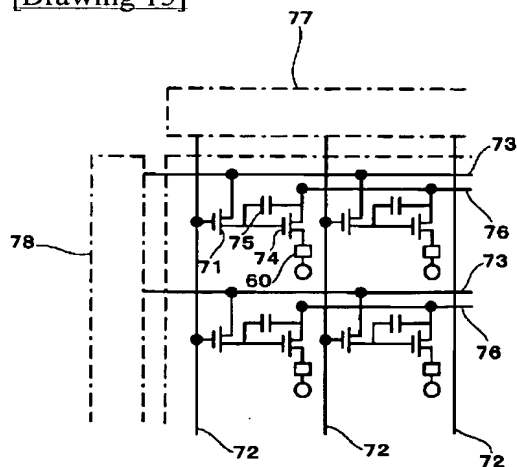
[Drawing 13]



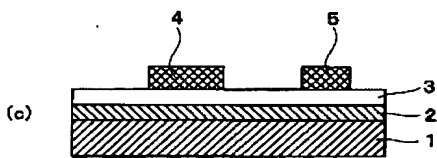
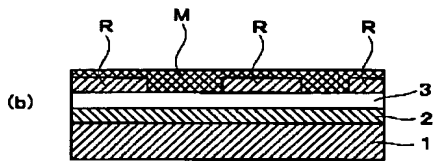
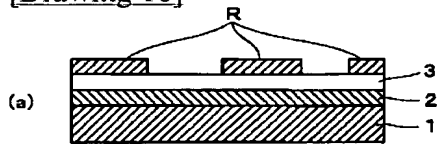
[Drawing 14]



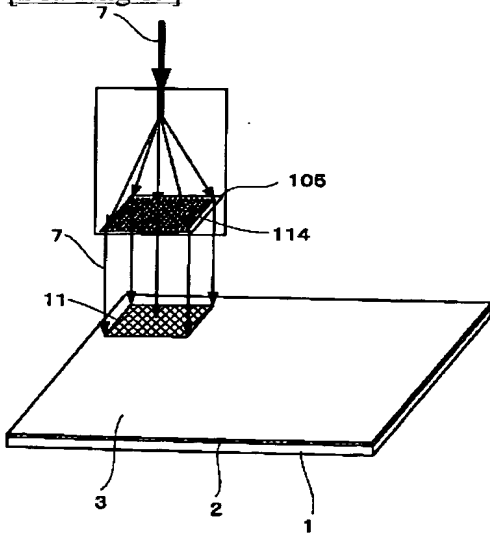
[Drawing 15]



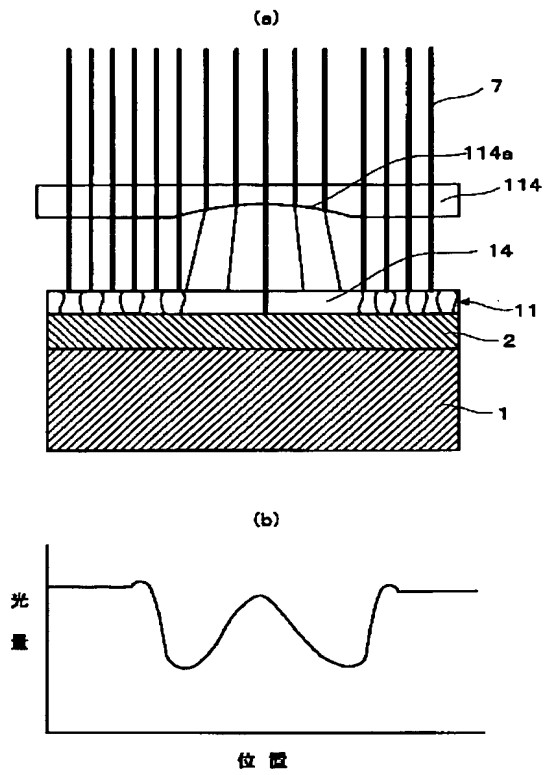
[Drawing 16]



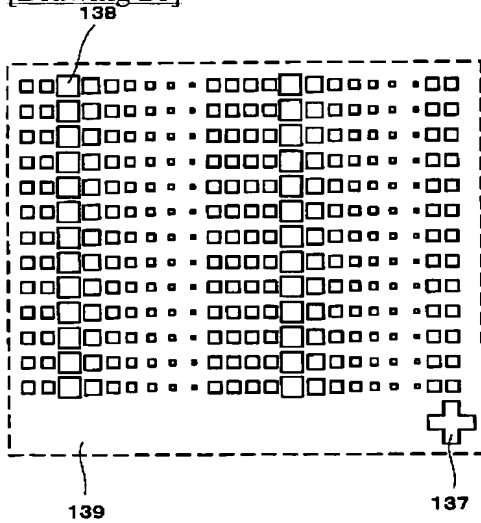
[Drawing 19]



[Drawing 20]

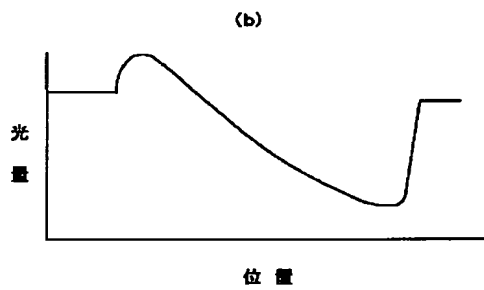
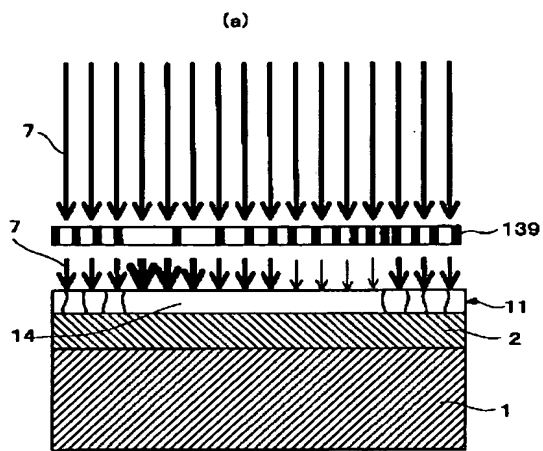


[Drawing 21]

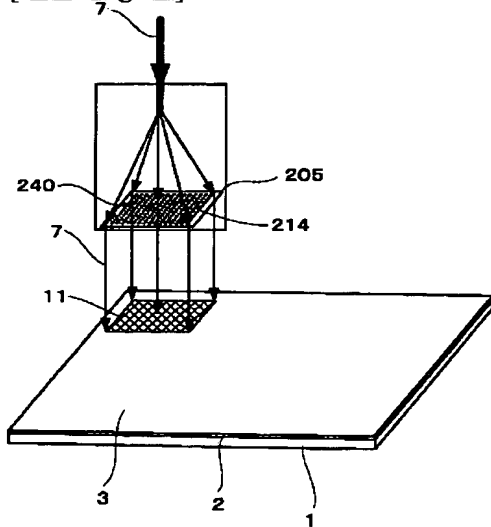


[Drawing 22]

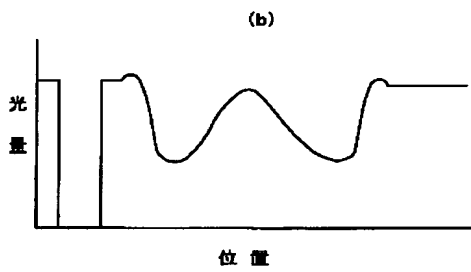
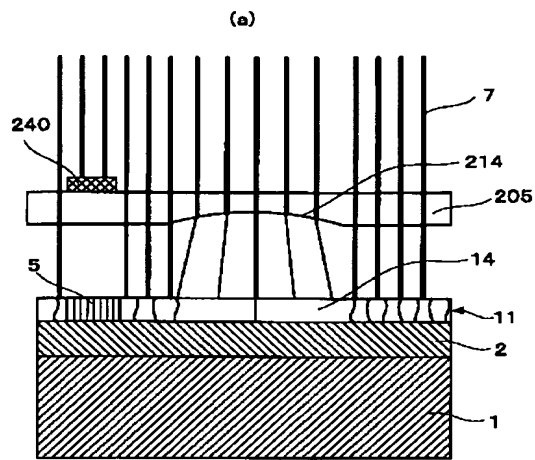




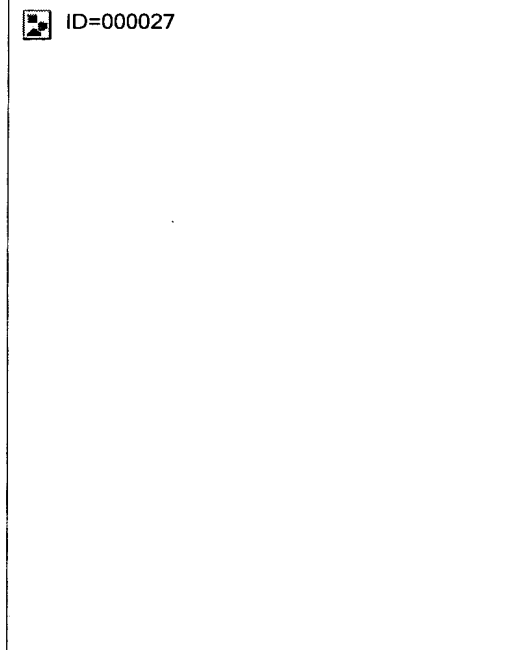
[Drawing 23]



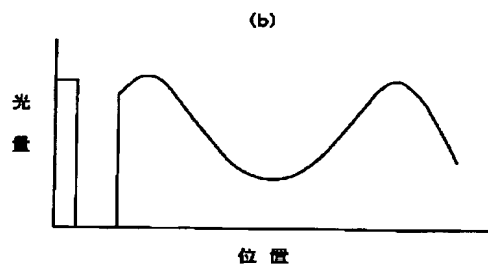
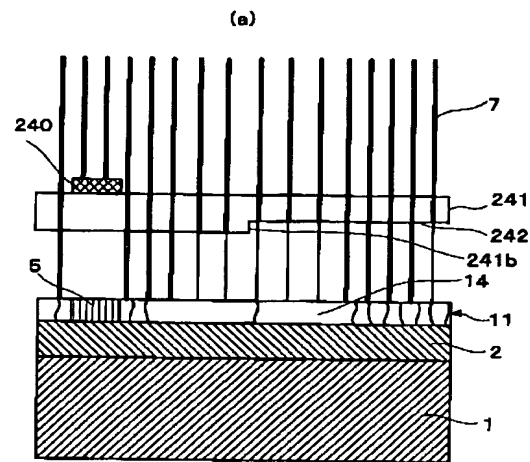
[Drawing 24]



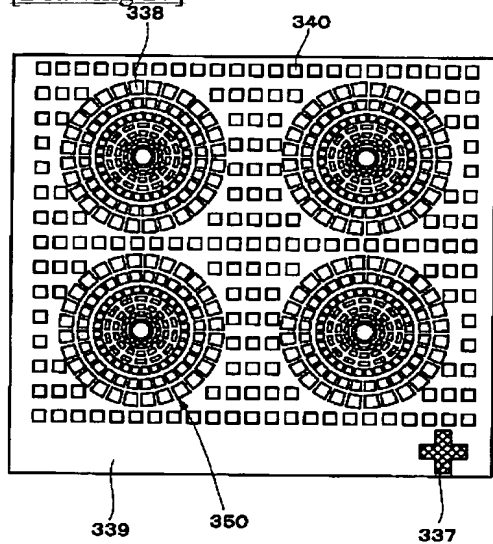
[Drawing 25]



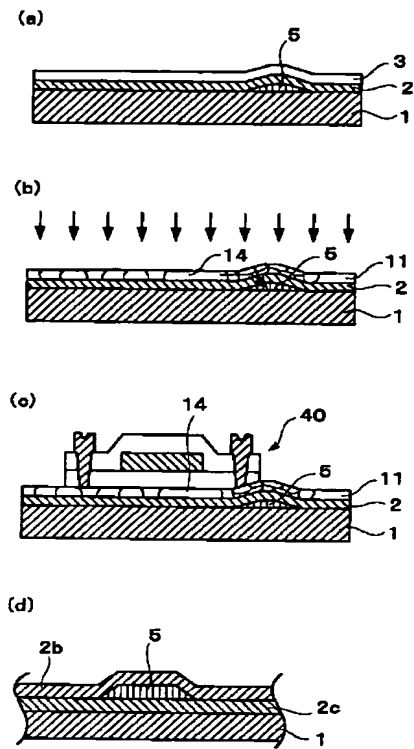
[Drawing 26]



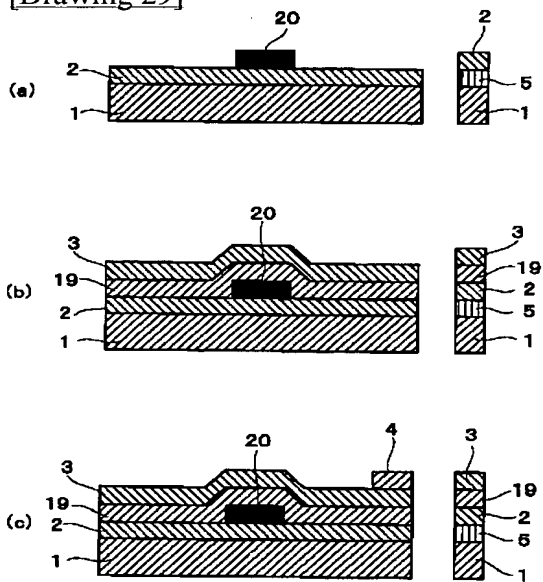
[Drawing 27]



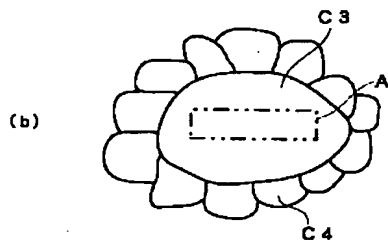
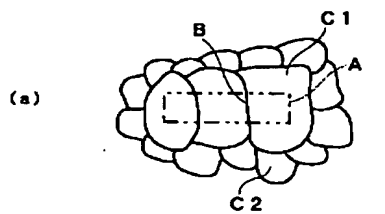
[Drawing 28]



[Drawing 29]

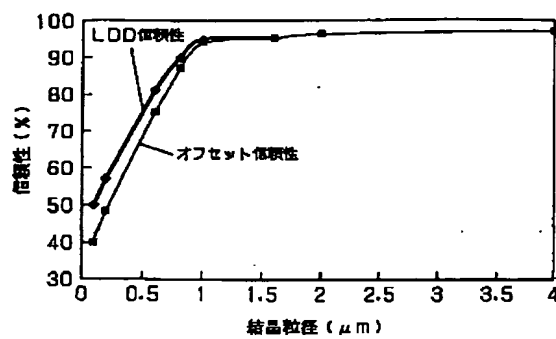


[Drawing 30]



[Drawing 31]

信頼性 シリコン結晶粒径依存性



結晶位置 の制御	結晶粒径 ( $\mu\text{m}$ )	LDD 信頼性 (%)	オフセット 信頼性 (%)
なし	0.1	50	40
なし	0.2	57	48
あり	0.6	81	75
あり	0.8	90	87
あり	1	95	94
あり	1.6	95	95
あり	2	96	96
あり	4	97	97

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-203861

(P2002-203861A)

(43)公開日 平成14年7月19日(2002.7.19)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/30	3 3 8 3 K 0 0 7
G 0 9 F 9/30	3 3 8		3 6 5 Z 5 C 0 9 4
	3 6 5	9/35	5 F 0 5 2
9/35		H 0 1 L 21/20	5 F 1 1 0

審査請求 有 請求項の数38 O L (全 29 頁) 最終頁に続く

(21)出願番号 特願2001-221823(P2001-221823)

(22)出願日 平成13年7月23日(2001.7.23)

(31)優先権主張番号 特願2000-222275(P2000-222275)

(32)優先日 平成12年7月24日(2000.7.24)

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願2000-322301(P2000-322301)

(32)優先日 平成12年10月23日(2000.10.23)

(33)優先権主張国 日本(J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 西谷 輝

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 山本 睦

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 100065215

弁理士 三枝 英二 (外8名)

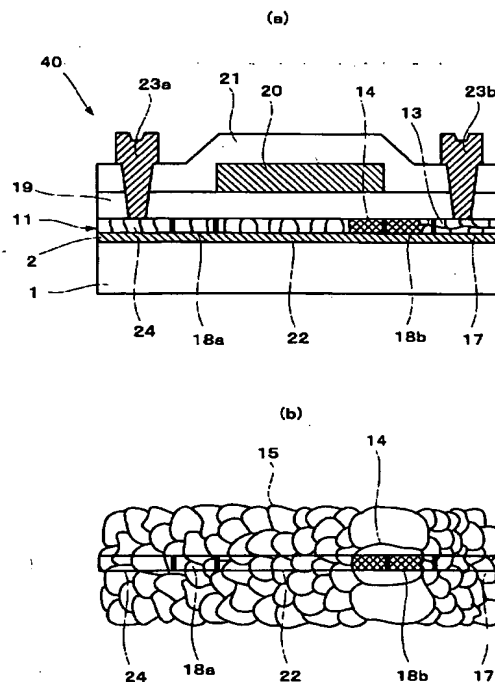
最終頁に続く

(54)【発明の名称】 半導体装置、液晶表示装置、E L表示装置、半導体薄膜の製造方法および半導体装置の製造方法

(57)【要約】

【課題】 高特性でかつ高信頼性を有する半導体装置を提供する。

【解決手段】 多結晶の半導体層(11)を有する薄膜トランジスタ(40)を備えており、半導体層(11)内に、チャネル領域(22)と、チャネル領域(22)の両側に位置する高濃度不純物領域(24, 17)と、チャネル領域(22)及び高濃度不純物領域(24, 17)間に位置し高濃度不純物領域(24, 17)よりも不純物濃度が低い低濃度不純物領域(18a, 18b)とを有し、低濃度不純物領域(18b)に少なくとも一部が存在する結晶(14)の粒径が、他の結晶(15)の粒径よりも大きいことを特徴とする半導体装置である。



## 【特許請求の範囲】

【請求項 1】 多結晶の半導体層を有する薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、該チャネル領域の両側に位置する高濃度不純物領域と、前記チャネル領域及び高濃度不純物領域間に位置し前記高濃度不純物領域よりも不純物濃度が低い低濃度不純物領域又は不純物を含まないオフセット領域とを有し、前記低濃度不純物領域又はオフセット領域に少なくとも一部が存在する結晶のいずれかの粒径が、他の結晶の粒径よりも大きいことを特徴とする半導体装置。

【請求項 2】 前記他の結晶は、前記チャネル領域に存在する結晶であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記チャネル領域と前記低濃度不純物領域又はオフセット領域との境界の少なくとも一方から、該境界を含んで前記低濃度不純物領域又はオフセット領域側 0.5  $\mu\text{m}$  以内の領域に少なくとも一部が存在する結晶のいずれかの粒径が、他の結晶の粒径よりも大きいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記他の結晶は、前記チャネル領域に存在する結晶であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 多結晶の半導体層を有する薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、該チャネル領域の両側に位置する高濃度不純物領域と、前記チャネル領域及び高濃度不純物領域間に位置し前記高濃度不純物領域よりも不純物濃度が低い低濃度不純物領域又は不純物を含まないオフセット領域とを有し、前記チャネル領域と前記低濃度不純物領域又はオフセット領域との境界の少なくとも一方から、該境界を含んで前記低濃度不純物領域又はオフセット領域側 0.3  $\mu\text{m}$  以内に、結晶粒界が存在しないことを特徴とする半導体装置。

【請求項 6】 更に、前記チャネル領域と前記低濃度不純物領域又はオフセット領域との前記境界から前記チャネル領域側 0.3  $\mu\text{m}$  以内に、結晶粒界が存在しないことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 多結晶の半導体層を有する薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、該チャネル領域の両側に位置する高濃度不純物領域と、前記チャネル領域及び高濃度不純物領域間に位置し前記高濃度不純物領域よりも不純物濃度が低い低濃度不純物領域又は不純物を含まないオフセット領域とを有し、少なくとも一方側の前記低濃度不純物領域又はオフセット領域に、結晶粒界が存在しないことを特徴とする半導体装置。

【請求項 8】 更に、前記チャネル領域に、結晶粒界が存在しないことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 更に、前記低濃度不純物領域又はオフセ

ット領域に隣接する前記高濃度不純物領域に、結晶粒界が存在しないことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 共通する機能を有する複数の薄膜トランジスタを含んでおり、該薄膜トランジスタの個数の 50% 以上が、請求項 1 又は 5 に記載された薄膜トランジスタであることを特徴とする半導体装置。

【請求項 11】 基板と前記半導体層との間に絶縁性を有する下地膜が形成されており、前記下地膜は、平均孔径が 0.01 ~ 2  $\mu\text{m}$  の多孔質層を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 12】 基板と前記半導体層との間に絶縁性を有する下地膜が形成されており、前記下地膜は、平均孔径が 0.01 ~ 2  $\mu\text{m}$  の多孔質層、及び、該多孔質層上に形成された該多孔質層よりも緻密な層を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 13】 前記薄膜トランジスタは、前記半導体層よりも熱伝導率の高い物質からなる所定形状のパターンの近傍に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 14】 前記パターンは、基板と前記半導体層との間に形成されている請求項 13 に記載の半導体装置。

【請求項 15】 前記パターンは、基板と前記半導体層との間に形成された絶縁性を有する下地膜によって覆われていることを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】 前記下地膜は、上側下地膜と下側下地膜とから構成され、前記パターンは、前記上側下地膜と前記下側下地膜との間に配置されていることを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】 前記上側下地膜の厚みが、前記下側下地膜の厚みよりも薄いことを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】 前記薄膜トランジスタは、多結晶の半導体薄膜からなる半導体層と、非晶質の半導体薄膜からなる所定形状のパターンとを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 19】 請求項 1 に記載の半導体装置を介して電圧が供給されることにより動作する画素を有することを特徴とする液晶表示装置。

【請求項 20】 請求項 1 に記載の半導体装置を介して電圧が供給されることにより動作する画素を有することを特徴とする EL 表示装置。

【請求項 21】 基板上に形成した非晶質又は多結晶の半導体薄膜上の一部に、該半導体薄膜よりも熱伝導率の高い物質からなる放熱層を形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程とを含むことを特徴とする半導体薄膜の製造方法。

【請求項 22】 前記放熱層を形成する工程は、前記半

導体薄膜上に該半導体薄膜よりも熱伝導率の高い物質の膜を形成する工程と、前記熱伝導率の高い物質の膜にフォトリソグラフィによってレジストマスクを形成する工程と、前記熱伝導率の高い物質の膜が前記レジストマスクで覆われていない部分をエッチング除去する工程と、前記レジストマスクを剥離する工程とを含むことを特徴とする請求項 2 1 に記載の半導体薄膜の製造方法。

【請求項 2 3】 前記放熱層を形成する工程は、フォトリソグラフィによってレジストパターンを形成する工程と、前記半導体薄膜よりも熱伝導率の高い物質の膜を形成する工程と、前記レジストパターンを、前記熱伝導率の高い物質と共にリフトオフする工程とを含むことを特徴とする請求項 2 1 に記載の半導体薄膜の製造方法。

【請求項 2 4】 前記放熱層を形成する工程は、開口を有するマスクを用いて、蒸着又はスパッタにより前記半導体薄膜よりも熱伝導率の高い物質を成膜する工程を含むことを特徴とする請求項 2 1 に記載の半導体薄膜の製造方法。

【請求項 2 5】 前記強光又はレーザ光は、基板と光源との位置関係を固定した状態で、基板上の所定範囲に対して 1 パルス又は複数パルスの照射によって与えられることを特徴とする請求項 2 1 に記載の半導体薄膜の製造方法。

【請求項 2 6】 基板上の一部に放熱層を形成する工程と、前記基板及び放熱層上に絶縁性を有する下地膜を形成する工程と、前記下地膜上に非晶質又は多結晶の半導体薄膜を形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程とを備え、前記放熱層は、前記半導体薄膜よりも熱伝導率の高い物質からなることを特徴とする半導体薄膜の製造方法。

【請求項 2 7】 基板上に形成した非晶質又は多結晶の半導体薄膜に、露光マスクを介して強光またはレーザ光を照射して結晶化させる工程を備え、前記露光マスクは、表裏面の少なくとも一部に曲面が形成されたレンズ部を有し、前記半導体薄膜に照射される光量に傾斜的な分布を生じさせることを特徴とする半導体薄膜の製造方法。

【請求項 2 8】 前記レンズ部は平面視帯状又は円状に形成されており、前記分布が、前記帯状の長手方向又は前記円状の径方向に沿って生じることを特徴とする請求項 2 7 に記載の半導体薄膜の製造方法。

【請求項 2 9】 前記レンズ部の曲面は、前記露光マスクの表裏面の少なくとも一部を窪ませることによって形成されていることを特徴とする請求項 2 7 に記載の半導体薄膜の製造方法。

【請求項 3 0】 基板上に形成した非晶質又は多結晶の半導体薄膜に、露光マスクを介して強光またはレーザ光を照射して結晶化させる工程を備え、前記露光マスクは、照射光に位相分布を与えることにより、前記半導体薄膜に照射される光量に傾斜的な分布を生じさせること

を特徴とする半導体薄膜の製造方法。

【請求項 3 1】 前記露光マスクは、部分的に厚みが異なる光透過性部材からなり、前記厚みの違いによって、前記照射光に位相分布を与えることを特徴とする請求項 3 0 に半導体薄膜の製造方法。

【請求項 3 2】 基板上に形成した非晶質又は多結晶の半導体薄膜に、露光マスクを介して強光またはレーザ光を照射して結晶化させる工程を備え、前記露光マスクは、複数の開口部を有する遮光性部材からなり、複数の前記開口部により、前記半導体薄膜に照射される光量に傾斜的な分布を生じさせることを特徴とする半導体薄膜の製造方法。

【請求項 3 3】 複数の前記開口部は、単位面積あたりの開口率が、帯状領域の長手方向に沿って段階的又は連続的に変化するように配置されており、前記分布が前記長手方向に沿って生じることを特徴とする請求項 3 2 に半導体薄膜の製造方法。

【請求項 3 4】 複数の前記開口部は、単位面積あたりの開口率が、円状領域の中心から周辺に向けて径方向に段階的又は連続的に増加するように配置されており、前記分布が前記径方向に沿って生じることを特徴とする請求項 3 2 に記載の半導体薄膜の製造方法。

【請求項 3 5】 基板上に形成した非晶質又は多結晶の半導体薄膜上の一部に、該半導体薄膜よりも熱伝導率の高い物質からなる放熱層、及び、アライメントキーを形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程と、前記半導体薄膜上にゲート電極膜を形成する工程とを含み、前記アライメントキーは、少なくとも、前記ゲート電極膜の一部をエッチングしてゲート電極のパターンを所定位置に形成するためのフォト工程において用いられることを特徴とする半導体装置の製造方法。

【請求項 3 6】 基板上の一部にアライメントキーを形成する工程と、前記基板及びアライメントキー上に非晶質又は多結晶の半導体薄膜を形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程と、前記半導体薄膜上にゲート電極膜を形成する工程とを含み、前記アライメントキーは、前記半導体薄膜よりも熱伝導率の高い物質からなり、少なくとも、前記ゲート電極膜の一部をエッチングしてゲート電極のパターンを所定位置に形成するためのフォト工程において用いられることを特徴とする半導体装置の製造方法。

【請求項 3 7】 基板上に形成した非晶質の半導体薄膜に、露光マスクを介して強光またはレーザ光を照射することにより、光量分布が生じた状態で結晶化させると共にアライメントキーを形成する工程と、前記半導体薄膜上にゲート電極膜を形成する工程とを含み、前記アライメントキーは、前記露光マスクが透過光の一部を遮断することにより半導体薄膜に生じる多結晶シリコン領域と非晶質シリコン領域との色の相違によって形成され、少



なくとも、前記ゲート電極膜の一部をエッチングしてゲート電極のパターンを所定位置に形成するためのフォト工程において用いられることを特徴とする半導体装置の製造方法。

【請求項 38】 基板上の一部にゲート電極及びアライメントキーを形成する工程と、前記ゲート電極及びアライメントキー上に非晶質又は多結晶の半導体薄膜を形成する工程と、前記アライメントキーを用いて、前記半導体薄膜よりも熱伝導率の高い物質からなる放熱層を前記半導体薄膜上の所定位置に形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、液晶表示装置、EL表示装置、半導体薄膜の製造方法および半導体装置の製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタ（以下、「TFT」ともいう。）の半導体層を形成する半導体薄膜の製造方法として、ガラス等の基板に成膜された非晶質半導体膜又は微小結晶半導体膜に対してレーザ光を照射し、結晶化させることにより、多結晶半導体膜を得るレーザアニール法が一般に知られている。通常、これを結晶化工程と呼ぶ。

【0003】 結晶化工程で使用されるレーザの光源として、アルゴンレーザ、KrFおよびXeClエキシマレーザが一般に使用されている。主に半導体としてSiを用いる点、及び、基板として用いられるガラスの融点以下の温度でプロセスが構成される点から、上記の製造方法で作製するTFTを一般に低温ポリSi-TFTと呼ぶ。

【0004】 これまでのTFT液晶表示装置では、非晶質Siを半導体層とするTFTが一般的であり、画素を駆動するための回路部分は画面周辺にICチップを取りつける方式が採用されている。これに対し、上記低温ポリSi-TFTを採用することにより、ガラス基板上に形成されたTFTを用いて、駆動回路まで作製することができる。即ち、通常額縁と呼ばれる液晶表示装置のパネルの外周部分で、画面がない部分を小さくすることや、より高精細なドットピッチの液晶表示装置を作製することができる。また、高特性の低温ポリSi-TFTを用いることにより、ガラス基板上に各種の半導体回路を形成する、いわゆるシステムオンパネル（SOP）が可能となる。更に、低温ポリSi-TFTを用いて、EL表示素子をスイッチングすることにより、EL表示装置を作製することができる。

【0005】

【発明が解決しようとする課題】 しかし、上記低温ポリSi-TFTは、以下の問題点がある。

（1）作製される多結晶シリコン薄膜の結晶粒径が小さいことから、電子の移動度が小さいので、TFTを製造した場合におけるレスポンス性能などの特性に劣化を生じる。

（2）TFTとして、低濃度不純物領域（以下、「LDD領域」ともいう。）又はオフセット領域とチャネル領域との境界又はその近傍にシリコン結晶の粒界が多いと、粒界付近に結晶欠陥やダングリングボンドが多く存在するため、TFTを長時間または多数回スイッチング動作をさせた場合に劣化を生じ、信頼性が低下する。

（3）TFT又は表示装置を製造する際に、シリコン薄膜の結晶とTFTパターンとの位置関係を定める手段がないため、TFTに対するシリコン結晶の粒界の位置が定まらず、TFTを製造した場合の特性にバラツキを生じる。

【0006】 本発明は、大粒径の結晶を有する多結晶半導体薄膜の提供を主な目的とする。更に、高特性でかつ高信頼性を有する半導体装置の提供を主な目的とする。

【0007】

【課題を解決するための手段】（半導体薄膜の製造方法）上記目的を達成するために、本発明の半導体薄膜の製造方法は、基板上に形成した非晶質又は多結晶の半導体薄膜の一部に、該半導体薄膜よりも熱伝導率の高い物質からなる放熱層を形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程とを含むことを特徴とする。

【0008】 この半導体薄膜の製造方法によれば、フラッシュランプのような強光又はレーザ光の照射により半導体薄膜を溶融させると、放熱層が形成されている部分の近傍は放熱層によって放熱されることにより、急激に冷却される。この冷却速度は、放熱層から遠ざかるにつれて、しだいに遅くなる。この結果、半導体薄膜には冷却時に温度勾配を生じるので、この温度勾配、即ち、放熱層の近傍から遠ざかる方向に沿って結晶が成長し、粒径の大きい結晶が得られる。この半導体薄膜を用いてTFTを製造すると、結晶粒径が従来に比べて大きいために移動度が向上し、性能の劣化が低減される。

【0009】 前記放熱層を形成する工程としては、具体的には次に示す方法を好ましく例示することができる。

【0010】 ・前記半導体薄膜上に該半導体薄膜よりも熱伝導率の高い物質の膜を形成する工程と、前記熱伝導率の高い物質の膜にフォトリソグラフィによってレジストマスクを形成する工程と、前記熱伝導率の高い物質の膜が前記レジストマスクで覆われていない部分をエッチング除去する工程と、前記レジストマスクを剥離する工程

・フォトリソグラフィによってレジストパターンを形成する工程と、前記半導体薄膜よりも熱伝導率の高い物質の膜を形成する工程と、前記レジストパターンを、前記熱伝導率の高い物質と共にリフトオフする工程

・開口を有するマスクを用いて、蒸着又はスパッタにより前記半導体薄膜よりも熱伝導率の高い物質を成膜する工程これらのいずれによっても、放熱層を容易に形成することができる、生産性を向上させることができる。

【0011】前記放熱層の位置は、半導体薄膜に接した状態で形成することができ、半導体薄膜の上方又は下方のいずれであっても良い。

【0012】また、本発明の他の半導体薄膜の製造方法は、前記強光又はレーザ光が、基板と光源との位置関係を固定した状態で、基板上の所定範囲に対して1パルス又は複数パルスの照射によって与えられることを特徴とする。

【0013】基板又は光源を所定のピッチで移動させながらパルス照射する走査照射の場合には、各照射位置に対応して結晶が成長するので、走査方向にはピッチ幅以上の粒径を有する結晶は形成されない。これに対し、基板と光源との位置関係を固定した状態でパルス照射することにより、走査ピッチ幅の制約を受けず、大粒径の結晶を形成することができる。特に、基板上の所定範囲に対して複数パルスを照射することにより、パルス毎の照射強度のばらつきが平均化され、半導体薄膜の結晶粒径や膜質が均一化されるので、TFTを製造した場合の特性のばらつきが減少する。

【0014】但し、前記強光又はレーザ光は、パルスレーザ装置により、基板と光源との位置関係を所定のピッチで相対的に変化させながら、基板上の所定範囲に対して複数パルス照射する走査照射によって与えることも可能である。

【0015】また、本発明の更に他の半導体薄膜の製造方法は、基板上の一部に放熱層を形成する工程と、前記基板上に非晶質又は多結晶の半導体薄膜を形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程とを備え、前記放熱層は、前記半導体薄膜よりも熱伝導率の高い物質からなることを特徴とする。

【0016】この半導体薄膜の製造方法によれば、放熱層を形成した後に半導体薄膜を形成することにより、半導体薄膜よりも下方に放熱層が形成されるので、この半導体薄膜を用いてTFTを製造する場合に放熱層の除去が不要である。また、放熱層を除去しなくて良いことから、TFTの製造工程において、この放熱層をアライメントキーとしても使用することができる。半導体薄膜よりも下方に放熱層を形成する工程としては、以下のものを例示することができる。

【0017】・基板上に放熱層を形成する工程と、この基板上に絶縁性を有する下地膜を形成し、前記放熱層を前記下地膜で覆う工程と、前記下地膜に非晶質又は多結晶の半導体薄膜を形成する工程・基板上に絶縁性を有する下地膜を形成する工程と、前記下地膜に前記放熱層を形成する工程と、前記下地膜上に絶縁性を有する他の下

地膜を形成し、前記放熱層を前記他の下地膜で覆う工程と、前記他の下地膜に非晶質又は多結晶の半導体薄膜を形成する工程

【0018】また、本発明の更に他の半導体薄膜の製造方法は、基板上に形成した非晶質又は多結晶の半導体薄膜に、露光マスクを介して強光またはレーザ光を照射して結晶化させる工程を備え、前記露光マスクは、表裏面の少なくとも一部に曲面が形成されたレンズ部を有し、前記半導体薄膜に照射される光量に傾斜的な分布を生じさせることを特徴とする。

【0019】この半導体薄膜の製造方法によれば、強光またはレーザ光が前記露光マスクのレンズ部を透過することにより、半導体薄膜に照射される光量に傾斜的な分布を生じるので、光量分布に応じて半導体薄膜に温度分布が生じる。これにより、溶融した半導体薄膜は、温度が最も低い部分、即ち、照射光量が最も少なかった部分から固化、結晶化が開始する。そして、傾斜的な温度勾配に沿って、照射光量が多かった部分に向けて結晶が成長し、粒径の大きい結晶が得られる。この半導体薄膜を用いてTFTを製造すると、結晶粒径が従来に比べて大きいために移動度が向上し、性能の劣化が低減される。

【0020】前記光量分布を生じさせる方法としては、具体的には次に示すものを好ましく例示することができる。

【0021】・前記レンズ部が平面視帯状又は円状に形成された露光マスクを用い、前記帯状の長手方向又は円状の径方向に沿って光量分布を生じさせるレンズ部が平面視帯状の場合には、帯状の長手方向に沿って、光量が弱の部分から強の部分に向けて結晶が成長する。また、レンズ部が平面視円状の場合には、レンズ部の中心近傍から外周に向かう方向に光量が弱から強となるようにすることで、中心部から周辺部に向けて結晶が成長する。レンズ部が平面視円状であれば、結晶化が開始する位置が点として明確であるので、大粒径結晶の形成位置を高精度に制御することができるという利点がある。平面視円状のレンズ部の具体例としては、露光マスクの下面に形成された凹部の内壁面が略球面状である凹レンズを挙げることができる。

【0022】前記レンズ部の曲面は、前記露光マスクの表裏面の少なくとも一部を窪ませることによって形成されていることが好ましいが、逆に、レンズ部を凸状として、露光マスクの他の部分よりもレンズ部を肉厚に形成することもできる。

【0023】また、本発明の更に他の半導体薄膜の製造方法は、基板上に形成した非晶質又は多結晶の半導体薄膜に、露光マスクを介して強光またはレーザ光を照射して結晶化させる工程を備え、前記露光マスクは、照射光に位相分布を与えることにより、前記半導体薄膜に照射される光量に傾斜的な分布を生じさせることを特徴とする。

【0024】この半導体薄膜の製造方法によれば、位相分布によって生じる光の干渉により、半導体薄膜に照射される光量に傾斜的な分布を生じるので、光量分布に応じて半導体薄膜に温度分布が生じる。これにより、熔融した半導体薄膜は、温度が最も低い部分、即ち、照射光量が最も少なかった部分から固化、結晶化を開始する。そして、傾斜的な温度勾配に沿って、照射光量が多かった部分に向けて結晶が成長し、粒径の大きい結晶が得られる。この半導体薄膜を用いて TFT を製造すると、結晶粒径が従来に比べて大きいために移動度が向上し、性能の劣化が低減される。

【0025】前記位相分布を生じさせる方法としては、具体的には次に示すものを好ましく例示することができる。これによって、光量分布を容易に与えることができる。

【0026】・部分的に厚みが異なる光透過性部材からなる露光マスクを用い、この厚み分布によって前記照射光に位相分布を与える

例えば、露光マスクの下面に内壁面が円筒状の凹部を形成することにより段差を設けることで、透過光に位相分布を与えることができる。また、このように凹部を平面視円状に形成する場合には、結晶化が開始する位置が点として明確であるので、大粒径結晶の形成位置を高精度に制御することができるという利点がある。

【0027】また、本発明の更に他の半導体薄膜の製造方法は、基板上に形成した非晶質又は多結晶の半導体薄膜に、露光マスクを介して強光またはレーザー光を照射して結晶化させる工程を備え、前記露光マスクは、複数の開口部を有する遮光性部材からなり、複数の前記開口部により、前記半導体薄膜に照射される光量に傾斜的な分布を生じさせることを特徴とする。

【0028】この半導体薄膜の製造方法によれば、各開口部の大きさ、形状、配置などを適宜定めることにより、半導体薄膜に照射される光量に傾斜的な分布を生じるので、光量分布に応じて半導体薄膜に温度分布が生じる。これにより、熔融した半導体薄膜は、温度が最も低い部分、即ち、照射光量が最も少なかった部分から固化、結晶化を開始する。そして、傾斜的な温度勾配に沿って、照射光量が多かった部分に向けて結晶が成長し、粒径の大きい結晶が得られる。この半導体薄膜を用いて TFT を製造すると、結晶粒径が従来に比べて大きいために移動度が向上し、性能の劣化が低減される。

【0029】前記光量分布を生じさせる方法としては、具体的には次に示すものを好ましく例示することができる。

【0030】・単位面積あたりの開口率が、帯状領域の長手方向に沿って段階的又は連続的に変化するように複数の前記開口部が配置された露光マスクを用い、前記光量分布を前記長手方向に沿って生じさせる

・単位面積あたりの開口率が、円状領域の中心から周辺

に向けて径方向に段階的又は連続的に増加するように複数の前記開口部が配置された露光マスクを用い、前記光量分布を前記径方向に沿って生じさせる

単位面積あたりの開口率が帯状領域の長手方向に沿って変化させる場合には、この長手方向に沿って光量が弱の部分から強の部分に向けて結晶が成長する。また、単位面積あたりの開口率が円状領域の中心から周辺に向けて径方向に増加させる場合には、円状領域の中心から周辺に向けて結晶が成長する。この光量分布の変化を傾斜的にすることにより、結晶の粒径が大きくなる。後者の場合には、結晶化を開始する位置が点として明確であるので、大粒径結晶の形成位置を高精度に制御することができるという利点がある。

【0031】また、半導体薄膜の製造方法においては、基板上に多孔質の絶縁膜を形成した後に、半導体薄膜を形成しても良く、これによって、より大きな粒径を有する結晶を得ることができる。

【0032】（半導体装置の製造方法）上記目的を達成するために、本発明の半導体装置の製造方法は、基板上に形成した非晶質又は多結晶の半導体薄膜上の一部に、該半導体薄膜よりも熱伝導率の高い物質からなる放熱層、及び、アライメントキーを形成する工程と、前記半導体薄膜に強光またはレーザー光を照射して結晶化させる工程と、前記半導体薄膜上にゲート電極膜を形成する工程とを含み、前記アライメントキーは、少なくとも、前記ゲート電極膜の一部をエッチングしてゲート電極のパターンを所定位置に形成するためのフォトリソ工程において用いられることを特徴とする

【0033】この半導体装置の製造方法によれば、強光又はレーザー光の照射により半導体薄膜を熔融させると、放熱層が形成されている部分の近傍は放熱層によって放熱されることにより、急激に冷却される。この冷却速度は、放熱層から遠ざかるにつれて、しだいに遅くなる。この結果、半導体薄膜には冷却時に温度勾配を生じるので、この温度勾配、即ち、放熱層の近傍から遠ざかる方向に沿って結晶が成長し、粒径の大きい結晶が得られる。

【0034】この半導体薄膜を用いて TFT を製造すると、結晶粒径が従来に比べて大きいために、結晶粒界に主に存在する欠陥が減少するか又は無くなり、移動度をはじめとする TFT の特性が向上するので、高特性で且つ高信頼性を有する半導体装置を得ることができる。放熱層を形成する具体的な方法は、上記半導体薄膜の製造方法を参照すればよい。

【0035】更に、半導体薄膜には、アライメントキーが形成されるため、このアライメントキーを用いてゲート電極を形成することができ、大粒径結晶に対して TFT を所望の位置に形成することができる。

【0036】従来は、半導体薄膜に大粒径結晶が形成されても、この結晶に合わせて TFT を形成する手段がな

かったため、LDD領域又はオフセット領域やチャネル領域において、結晶粒界の有無や粒界数の変動を生じており、TFTの特性にばらつきを生じさせていた。しかし、この半導体装置の製造方法によれば、結晶粒界の位置を避けて、大粒径結晶の位置にTFT又はTFT構造の一部を形成することができるので、上記問題を軽減することができる。

【0037】このアライメントキーの形成は、放熱層の形成と同一の工程で同時に行うことが好ましい。

【0038】また、本発明の他の半導体装置の製造方法は、基板上の一部にアライメントキーを形成する工程と、前記基板及びアライメントキー上に非晶質又は多結晶の半導体薄膜を形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程と、前記半導体薄膜上にゲート電極膜を形成する工程とを含み、前記アライメントキーは、前記半導体薄膜よりも熱伝導率の高い物質からなり、少なくとも、前記ゲート電極膜の一部をエッチングしてゲート電極のパターンを所定位置に形成するためのフォトリソ工程において用いられることを特徴とする。

【0039】この半導体装置の製造方法によれば、上述したようにTFTの特性が向上し、高特性で且つ高信頼性を有する半導体装置が得られるだけでなく、アライメントキーが放熱層としても機能するので、生産性の向上を図ることができる。

【0040】また、本発明の更に他の半導体装置の製造方法は、基板上に形成した非晶質の半導体薄膜に、露光マスクを介して強光またはレーザ光を照射することにより、光量分布が生じた状態で結晶化させると共にアライメントキーを形成する工程と、前記半導体薄膜上にゲート電極膜を形成する工程とを含み、前記アライメントキーは、前記露光マスクが透過光の一部を遮断することにより半導体薄膜に生じる多結晶シリコン領域と非晶質シリコン領域との色の相違によって形成され、少なくとも、前記ゲート電極膜の一部をエッチングしてゲート電極のパターンを所定位置に形成するためのフォトリソ工程において用いられることを特徴とする。

【0041】この半導体装置の製造方法によれば、半導体薄膜に照射される光量に分布を生じさせることにより、光量分布に応じて半導体薄膜に温度分布が生じる。これにより、溶融した半導体薄膜は、温度が最も低い部分、即ち、照射光量が最も少なかった部分から固化、結晶化が開始する。そして、照射光量が多かった部分に向けて結晶が成長し、粒径の大きい結晶が得られる。この半導体薄膜を用いてTFTを製造すると、結晶粒径が従来に比べて大きいために、結晶粒界に主に存在する欠陥が減少するか又は無くなり、移動度をはじめとするTFTの特性が向上するので、高特性で且つ高信頼性を有する半導体装置を得ることができる。前記光量分布を生じさせる方法は、上記半導体薄膜の製造方法を参照すれば

よい。

【0042】更に、半導体薄膜には、アライメントキーが形成されるため、このアライメントキーを用いてゲート電極を形成することができ、大粒径結晶に対してTFTを所望の位置に形成することができる。したがって、大粒径結晶の位置にTFT又はTFT構造の一部を形成することができるので、従来生じていたTFT特性のばらつきの問題を軽減することができる。

【0043】アライメントキーは、露光マスクに形成したキーパターンに対応する半導体薄膜の領域を照射して多結晶領域とし、その周囲の照射光を露光マスクで遮断することにより非晶質領域とすることで、形成することができる。或いは、キーパターンに対応する部分のみを非照射部分として非晶質領域を形成し、その周囲が照射されて多結晶領域が形成されるように、露光マスクを形成することも可能である。非晶質領域及び多結晶領域は、半導体薄膜の同一の層に形成されていることが好ましい。

【0044】また、本発明の更に他の半導体装置の製造方法は、基板上の一部にゲート電極及びアライメントキーを形成する工程と、前記ゲート電極及びアライメントキー上に非晶質又は多結晶の半導体薄膜を形成する工程と、前記アライメントキーを用いて、前記半導体薄膜よりも熱伝導率の高い物質からなる放熱層を前記半導体薄膜上の所定位置に形成する工程と、前記半導体薄膜に強光またはレーザ光を照射して結晶化させる工程とを含むことを特徴とする。

【0045】この半導体装置の製造方法によれば、アライメントキーを用いて放熱層を形成することにより、ゲート電極の位置に合わせて大粒径結晶を形成することができるので、大粒径結晶とTFTとの位置合わせを精度良く行うことができる。したがって、上述したようにTFTの特性が向上し、高特性で且つ高信頼性を有する半導体装置が得られる。

【0046】（半導体装置）上記目的を達成するために、本発明の半導体装置は、多結晶の半導体層を有する薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、該チャネル領域の両側に位置する高濃度不純物領域と、前記チャネル領域及び高濃度不純物領域間に位置し前記高濃度不純物領域よりも不純物濃度が低いLDD領域又は不純物を含まないオフセット領域とを有し、前記LDD領域又はオフセット領域に少なくとも一部が存在する結晶のいずれかの粒径が、他の結晶の粒径よりも大きいことを特徴とする。ここで、結晶粒径は、平面視の任意の方向における最長径を測定した値である。

【0047】半導体装置を構成するTFTがオン状態で電流が流れたとき、チャネル領域を高速で移動してきたキャリアは、結晶の欠陥等に衝突して散乱される場合がある。これをホットキャリア現象という。散乱されたキ

キャリアは、近くのSi-Hなどの弱い結合にぶつかり、結合を切り、Siのダングリングボンドを形成する。ダングリングボンドができると、他のキャリアが捕獲されるため、極端に電気伝導度や移動度が低下し、TFT特性が劣化する。

【0048】結晶の欠陥やSi-Hの結合は、結晶粒界付近に集中して存在し、特に、ドレイン側のLDD領域またはオフセット領域に結晶粒界が多く存在すると、特性の劣化及び信頼性の低下に繋がる。

【0049】そこで、LDD領域又はオフセット領域に少なくとも一部が存在する結晶のいずれかの粒径を他の結晶の粒径よりも大きくすることにより、この領域に存在する結晶粒界を従来に比べて低減するか、或いは、全く無くすることができ、特性及び信頼性を向上させることができる。

【0050】例えば、図30(a)に示すように、LDD領域又はオフセット領域を示す領域Aに結晶の一部が存在する結晶C1の粒径を他の結晶C2の粒径よりも大きくして、結晶粒界Bが領域A内に僅かに存在する場合、或いは、図30(b)に示すように、前記領域Aを

全て含む結晶C3の粒径を他の結晶C4よりも大きくして、領域A内に結晶粒界が全く存在しない場合が該当する。

【0051】粒径の比較対象となる他の結晶は、LDD領域又はオフセット領域外に存在するものであることが好ましい。即ち、前記LDD領域又はオフセット領域に少なくとも一部が存在する結晶のいずれかの粒径が、前記LDD領域又はオフセット領域外に全体が存在する他の結晶（より好ましくは、チャネル領域に存在する他の結晶）のいずれの粒径よりも大きいことが好ましい。

【0052】また、結晶粒界が、特にチャネル領域とドレイン側のLDD領域またはオフセット領域との境界付近に多く存在すると、特性の劣化及び信頼性の低下がより顕著である。したがって、チャネル領域とLDD領域又はオフセット領域との境界の少なくとも一方から、該境界を含んでLDD領域側又はオフセット領域側0.5  $\mu\text{m}$ 以内の領域に少なくとも一部が存在する結晶のいずれかの粒径が、他の結晶の粒径よりも大きいことが好ましい。この領域は、境界を含んでLDD領域側又はオフセット領域側0.4  $\mu\text{m}$ 以内であることが好ましく、0.3  $\mu\text{m}$ 以内であることがより好ましい。

【0053】この場合も、上記領域に少なくとも一部が存在する結晶のいずれかの粒径が、前記LDD領域又はオフセット領域外に全体が存在する他の結晶（より好ましくは、チャネル領域に存在する他の結晶）のいずれの粒径よりも大きいことが好ましい。

【0054】本発明者らが実験を行ったところ、多結晶シリコンの結晶粒径とTFT信頼性との間には、図31に示すような相関関係があることが明らかになった。ここで、TFTを構成するチャネル領域とLDD領域又は

オフセット領域との境界は、結晶粒径の中心に一致させている。また、信頼性は、LDD領域又はオフセット領域を有するTFTのそれぞれについて、ソース・ドレイン間に5Vの電圧をかけ、500kHz 1500時間、ゲート電圧のON/OFFを繰り返すことにより、多数回のスイッチング動作での耐性検査を行い、検査前の移動度に対する検査後の移動度の割合で表している。

【0055】同図から明らかなように、結晶粒径が0.6  $\mu\text{m}$ 以上であれば、LDD及びオフセットのいずれの場合においても、信頼性は75%以上であり良好である。チャネル領域とLDD領域又はオフセット領域との境界から結晶粒界が離れるほどTFTの信頼性が良好であり、結晶粒径は、0.8  $\mu\text{m}$ 以上が好ましく、1  $\mu\text{m}$ 以上がより好ましい。

【0056】また、その後の検討により、前記領域境界の両側に位置する結晶粒界のうち、特に、LDD領域又はオフセット領域側の前記領域境界近傍に存在する粒界が信頼性に悪影響を及ぼすことがわかった。即ち、ドレイン側のLDD領域又はオフセット領域における前記領域境界近傍は電界が高いために、この位置に結晶粒界が存在するとホットキャリアが発生し易くなる。また、粒界を起点として半導体層が破壊されるおそれがある。この結果、TFT特性が劣化し、長時間又は多数回スイッチング動作させた場合の信頼性が低下する。

【0057】したがって、前記領域境界の両側に位置する結晶粒界のうち、特に、LDD領域又はオフセット領域側の粒界を前記領域境界から所定距離以上遠ざけることが有効である。この距離は、上記実験においては結晶粒径の半分の距離に相当することから、0.3  $\mu\text{m}$ 以上であることが好ましく、0.4  $\mu\text{m}$ 以上であることがより好ましく、0.5  $\mu\text{m}$ 以上であることが更に好ましい。即ち、チャネル領域とLDD領域又はオフセット領域との境界の少なくとも一方から、該境界を含んでLDD領域又はオフセット領域側0.3  $\mu\text{m}$ 以内に結晶粒界が存在しない構成とすることにより、この付近においてホットキャリア現象を引き起こす欠陥が少なく、たとえホットキャリアが発生しても、Si-Hなどの弱い結合が少ないので、特性劣化の主因となるダングリングボンドが発生せず、更に、欠陥をもとに半導体層を破壊していく現象が起こりにくくなる。この結果、TFT特性の劣化を低減させることができ、信頼性の向上を図ることができる。

【0058】結晶粒界が存在しない前記領域境界は、ドレイン側であれば良い。但し、半導体装置によっては、ドレインとソースとが変換される場合もあり得るので、この場合には、ドレイン側及びソース側の双方の前記領域境界に結晶粒界が存在しないようにすることが好ましい。

【0059】また、上記半導体装置は、更に、チャネル領域とLDD領域又はオフセット領域との前記境界から

チャネル領域側 0.3  $\mu\text{m}$ 以内に、結晶粒界が存在しないことが好ましい。この距離は、0.4  $\mu\text{m}$ 以内であることがより好ましく、0.5  $\mu\text{m}$ 以内であることが更に好ましい。これによって、前記領域境界のLDD領域又はオフセット領域側の所定距離以内だけでなく、チャネル領域側の所定距離以内にも結晶粒界が存在しないので、移動度が向上し、TFT特性の劣化の低減及び信頼性の向上をより確実に図ることができる。

【0060】また、本発明の他の半導体装置は、多結晶の半導体層を有する薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、該チャネル領域の両側に位置する高濃度不純物領域と、前記チャネル領域及び高濃度不純物領域間に位置し前記高濃度不純物領域よりも不純物濃度が低いLDD領域又は不純物を含まないオフセット領域とを有し、少なくとも一方側の前記LDD領域又はオフセット領域に、結晶粒界が存在しないことを特徴とする。

【0061】この半導体装置によれば、電界が高い部分を有するドレイン側のLDD領域又はオフセット領域に結晶粒界が存在しないので、ホットキャリアの発生を抑制することができ、TFT特性の劣化の低減及び信頼性の向上を図ることができる。

【0062】更に、前記チャネル領域に、結晶粒界が存在しないように構成した場合には、移動度が向上し、TFT特性の劣化の低減及び信頼性の向上をより確実に図ることができる。

【0063】更に、前記LDD領域又はオフセット領域に隣接する前記高濃度不純物領域に、結晶粒界が存在しないように構成した場合には、ソース又はドレインの接触抵抗が減少し、実質的にTFTのオン電流が増加するという効果が得られる。

【0064】また、本発明の更に他の半導体装置は、共通する機能を有する複数の薄膜トランジスタを備えており、この薄膜トランジスタ全体の50%以上が、上述した薄膜トランジスタであることを特徴とする（但し、小数点以下は切り捨て）。この割合は、70%以上であることがより好ましく、90%以上であることが更に好ましい。例えば、半導体装置の一例である液晶表示装置やEL表示装置については、各画素の動作を制御するTFTの個数が例えば100個である場合、上述したTFTが50個以上であることが好ましい。

【0065】この半導体装置によれば、複数の薄膜トランジスタのうち、TFT特性の劣化の低減及び信頼性の向上が可能な上記薄膜トランジスタを所定の割合以上備えているので、安定した性能を得ることができる。

【0066】上記各半導体装置は、基板と前記半導体層との間に絶縁性を有する下地膜が形成されていることが好ましく、前記下地膜は、平均孔径が0.01~2  $\mu\text{m}$ の多孔質層を含むことが好ましい。この孔径は、断面SEM・TEMに代表される電子顕微鏡を用いた観察によ

り測定することができる。

【0067】基板と半導体層との間に多孔質層を含む下地膜を形成することにより、半導体層の結晶成長を促進する効果が得られる。しかし、多孔質層の孔径が大きくなると、基板から半導体層への不純物拡散を防止する効果が充分でなく、TFTを長時間又は多数回スイッチング動作をさせた場合にオフからオンへ切り替わるゲート電圧のしきい値( $V_t$ )のシフトを生じる。また、大きな空孔がチャネル領域やLDD領域との界面に存在すると、TFTが機能せず、歩留まりの悪化を招く。

【0068】以上の観点から、多孔質層の空孔は、平均孔径が0.01~2  $\mu\text{m}$ であることが好ましく、0.05~0.1  $\mu\text{m}$ であることがより好ましい。これによって、半導体層における粒径拡大の効果が得られるだけでなく、TFTの不良率が低下し、更には、TFTを長時間又は多数回スイッチング動作をさせた場合にオフからオンへ切り替わるゲート電圧のしきい値( $V_t$ )のシフトを防止することができる。

【0069】また、前記基板と前記半導体層との間に形成された絶縁性を有する下地膜は、平均孔径が0.01~2  $\mu\text{m}$ の多孔質層、及び、該多孔質層上に形成された該多孔質層よりも緻密な層を含むように構成することも好ましい。

【0070】この半導体装置によれば、下地膜を構成する緻密な層によって、不純物拡散を防止する効果が得られ、TFTの不良率が低下し、TFTを長時間又は多数回スイッチング動作をさせた場合にオフからオンへ切り替わるゲート電圧のしきい値( $V_t$ )のシフトを防止することができる。また、下地膜を構成する多孔質層によって、半導体層の結晶成長を促進する効果が得られる。

【0071】また、本発明の更に他の半導体装置は、薄膜トランジスタが、前記半導体層よりも熱伝導率の高い物質からなる所定形状のパターンの近傍に形成されていることを特徴とする。

【0072】この半導体装置によれば、半導体層よりも熱伝導率の高い物質からなる所定形状のパターンによって、この半導体層に大粒径の結晶を形成することが容易になる。

【0073】前記パターンは、基板と半導体層との間に形成されていることが好ましく、基板と半導体層との間に形成された絶縁性を有する下地膜によって覆われていることがより好ましい。これによって、半導体装置を製造する際に、このパターンをフォトリソ工程におけるアライメントキーとして利用可能であるという効果が生じる。

【0074】下地膜は、第1の下地膜（上側下地膜）と第2の下地膜（下側下地膜）とから構成することができ、第1の下地膜と第2の下地膜との間に前記パターンを形成しても良い。この場合、熱伝導性を良好にしてより大粒径の結晶が得られるように、第1の下地膜の厚みを第2の下地膜の厚みよりも薄くすることが好ましい。

また、前記パターンは、金属膜からなることが好ましく、半導体層のドレイン領域、チャネル領域又はソース領域の近傍に設けることができる。

【0075】パターン周辺の半導体薄膜に、他の部分の結晶よりも粒径の大きい結晶が存在する半導体装置を得ることができる。パターンは、半導体薄膜に接して設けることができる。また、パターン直上又は直下に位置する半導体薄膜の結晶粒径が、パターン周辺の半導体薄膜の結晶粒径よりも小さい半導体装置を得ることができる。

【0076】以上の半導体装置は、例えば、上述した半導体装置の製造方法によって製造することができる。また、例えば、上述した半導体装置の製造方法によって、次に示すような半導体装置を製造することができる。

・基板上に半導体層が形成された薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、該チャネル領域の両側に位置する高濃度不純物領域と、前記チャネル領域及び高濃度不純物領域間に位置し、前記高濃度不純物領域よりも不純物濃度が低いLDD領域又は不純物を含まないオフセット領域とを有し、チャネル領域とLDD領域又はオフセット領域との境界近傍の結晶粒径が、他の領域の結晶粒径より大きいことを特徴とする半導体装置

・基板上に半導体層が形成された薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、該チャネル領域の両側に位置する高濃度不純物領域とを有し、チャネル領域と高濃度不純物領域との境界近傍の結晶粒径が、他の領域の結晶粒径より大きいことを特徴とする半導体装置

・基板上に半導体層が形成された薄膜トランジスタを備えており、前記半導体層内に、チャネル領域と、前記チャネル領域及び高濃度不純物領域間に位置し、前記高濃度不純物領域よりも不純物濃度が低いLDD領域又は不純物を含まないオフセット領域とを有し、ソース領域の結晶粒径とLDD領域又はオフセット領域の結晶粒径とが異なるか、又は、ソース領域の結晶粒径とドレイン領域の結晶粒径とが異なる（例えば、ソース領域の結晶粒径よりもドレイン領域の結晶粒径が小さい）半導体装置

・基板上に半導体層が形成された薄膜トランジスタを備えており、半導体層の1つのチャネル領域内に1本の粒界が存在する半導体装置

また、本発明の更に他の半導体装置は、前記薄膜トランジスタが、多結晶の半導体薄膜からなる半導体層と、非晶質の半導体薄膜からなる所定形状のパターンとを有することを特徴とする。

【0077】この半導体装置によれば、製造する際ににおいて、所定形状のパターンをフォトリソ工程におけるアライメントキーとして利用可能であるという効果が生じる。多結晶の半導体薄膜と非晶質の半導体薄膜とは、同一の

層を構成することが好ましい。

【0078】また、上述した各半導体装置は、例えば、複数の薄膜トランジスタを含む半導体装置を介して電圧が供給されることにより、各画素が動作する液晶表示装置やEL表示装置などの表示装置とすることができる。この場合には、画像の点欠陥や線欠陥が現れるまでの寿命を改善することができ、精細度及び画面輝度の一様性を高め、歩留まり及び信頼性を向上させることができる。EL表示装置は、TFTを用いてELの画素及び駆動回路を、上述したTFTを用いて作製し、駆動、表示することが可能であり、無機ELディスプレイおよび有機ELディスプレイの双方を含む。

【0079】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0080】（実施の形態1）

（半導体薄膜）まず、半導体薄膜の製造方法について説明する。本実施形態及び以下の実施形態における製造方法は、GaAs、Ge、SiGe、SiGeC等の半導体薄膜に関しても同様に行うことができるが、現在一般的に用いられているシリコン（Si）を中心に説明する。

【0081】図1に示すように、基板1上に、基板1からの不純物の拡散を防ぐ目的で、たとえばTEOS-CVD法により膜厚300nmのSiO<sub>2</sub>下地膜2を成膜する。なお、この下地膜2の膜厚は300nmに限らず、種々の設定が可能である。基板1として、本実施の形態では、ガラスを使用した。プラスチックやフィルムを使用することも可能である。下地膜2としては、窒化シリコン膜なども使用することができる。SiO<sub>2</sub>膜、窒化シリコン膜の膜厚は200nm以上であれば問題ない。膜厚が200nm未満の場合は、ガラス基板1からの不純物がシリコン層9に拡散し、TFT特性のV<sub>t</sub>シフト等の問題が発生するおそれがある。

【0082】次に、プラズマCVD法により、下地膜2上に非晶質シリコン膜3を成膜する。なお、この非晶質シリコン膜3の成膜にあたっては、減圧CVD法やスパッタを用いても良い。非晶質シリコン膜3の膜厚は、通常30nm～90nmとすることが好ましい。本実施の形態では50nmとした。

【0083】ついで、作製された非晶質シリコン膜3中の水素を除去するため、脱水素工程として、450℃で1時間の熱処理を行なう。なお、スパッタ等のように非晶質シリコン膜3中に水素が含まれない方法、あるいは、含有する水素の量が少ない成膜方法を用いた場合は、脱水素処理は必要でない。

【0084】次に、図2に示すように、レーザアニール装置（ELA装置）6により予備照射を行う。本実施の形態ではXeClパルスレーザ（波長308nm）を用いて、ステージ（図示せず）上の基板を移動させなが

ら、1ヶ所に対して10回(10パルス)レーザ光を照射した。尚、基板を移動させる代わりに、基板を固定してレーザ光の光学系を移動させながら照射しても良い。

【0085】結晶化に用いるレーザは、シリコン膜へ吸収されて、熱を発生する必要があるので、波長が500nm以下の短いレーザが要求され、より短波長になるほど、吸収効率にすぐれるので好ましい。本発明では、XeClエキシマレーザ(波長308nm)を用いて結晶化工程を行なったが、波長が500nm以下のレーザであればよく、たとえばArF、KrF等のエキシマレーザやArレーザ等でも良い。また、パルスレーザを用いて説明したが、連続発振(CW)のレーザでもよい。この場合、以下の説明中のパルス数を、照射時間に対応させればよい。

【0086】非晶質シリコン膜3に対してレーザ光7を照射する場合、室温において約160mJ/cm<sup>2</sup>以上のエネルギー密度で照射することにより結晶化が起こり、矢印方向に順次多結晶シリコン膜11が形成される。エネルギー密度を算出するためには、照射面積を求める必要があるが、本明細書においては、レーザ強度の分布を測定し、最高強度の2分の1の強度となる位置を結んで囲まれた領域の面積を、照射面積としている。

【0087】この予備照射工程では、特に膜質の高い多結晶シリコン膜11は必要でなく、また、逆に粒径が細かい方が、後の大粒径シリコン膜を形成する工程で結晶欠陥が生じにくいので、例えば、170~280mJ/cm<sup>2</sup>の比較的弱めのレーザ強度を用いて、非晶質シリコン膜3を結晶化させる。本実施形態では、250mJ/cm<sup>2</sup>で照射し、図3に示すような、粒径が30nm以下の多結晶シリコン膜11を得た。

【0088】次に、パターン形成用マスクを用いて、図8(a)に示すように、多結晶シリコン膜11上に放熱層4及びアライメントキー5を形成する。本実施形態では、蒸着により成膜したが、その他にスパッタ等の手段を適用可能である。

【0089】放熱層4は、多結晶シリコン膜11よりも熱伝導率の高い物質であり、Al、Ti、Ni、Cr、Ti、Mo、W、Cu、Au、Ag、Pt、Ta、In等のほぼすべての金属又はその合金が適している。また、熱伝導率が高ければITO(In<sub>2</sub>O<sub>3</sub>)等の金属酸化物であってもよい。これについては、以下の実施形態においても同様である。本実施形態では、モリブデンタングステン合金(MoW)により放熱層4及びアライメントキー5を形成した。また、この放熱層4の形状は、本実施形態においては平面視において矩形状としたが、三角形状、円状、楕円状などとすることもできる。

【0090】ついで、再びレーザアニール装置(ELA装置)を用いて、図5(a)に示すように本照射工程を行う。本照射工程におけるレーザ光7の照射強度の下限

は、上述した予備照射工程の照射強度よりも大きな値である。また、照射強度の上限は、多結晶シリコン層11の変質や蒸発が開始するまでの値である。具体的には、レーザ光7の強度範囲は280mJ/cm<sup>2</sup>から420mJ/cm<sup>2</sup>であり、本実施の形態では380mJ/cm<sup>2</sup>とした。更に、この上限値及び下限値は、シリコン膜3の膜厚にほぼ比例することが好ましく、Taをシリコン膜3の膜厚(nm)、E1をレーザ光強度密度(mJ/cm<sup>2</sup>)として、 $3.78Ta+138 \leq E1 \leq 4.54Ta+153$ の関係を満たす範囲が好ましい。

【0091】レーザ光7の1ヶ所への照射回数は、多くなるほど照射強度が安定化され、結晶粒径や膜質が均一になるため、後にTFITを形成した場合の特性が安定する。一方、照射に時間がかかり、生産性が悪化する。したがって、このような観点からの好ましい1ヶ所あたりの照射回数は、10回から30回程度である。本実施形態においては、基板を適当なピッチで移動させながら、1ヶ所に20回行った。尚、1ヶ所への照射回数を100回以上にすると、20回の場合と比較して、TFITを製造した場合の移動度が約1.5倍に向上する。

【0092】この本照射工程により、予備照射工程で多結晶となったシリコン膜11は再び熔融する。熔融したシリコン膜11における放熱層4の近傍では、シリコン膜11よりも熱伝導率が高い放熱層4に向けて矢印12の方向に熱が移動するため、急速に冷却される。この冷却速度は、放熱層4から遠ざかるにつれて遅くなるため、図5(b)に示すように、所定時間の経過後に放熱層4の近傍で温度勾配が生じ、この温度勾配が生じる部分で、低温側から高温側に向けて結晶化が行われる。この結果、図6に示すように、放熱層4の近傍におけるシリコン膜11に、粒径の大きい大粒径結晶14が形成され、放熱層4から離れた部分では、それよりも粒径が小さい小粒径結晶15が形成される。また、放熱層4の下方領域13は、放熱層4がマスクとなって照射されないため、予備照射工程で結晶化された状態のまま維持される。

【0093】大粒径結晶14の平面形状を図7に示す。この結晶粒径を、原子間力顕微鏡(AFM)および透過型電子顕微鏡(TEM)で測定をしたところ、長さ方向、即ち、温度勾配が生じた方向の粒径aが1μmであり、幅方向、即ち、平面上で長さ方向に直交する方向の粒径bが0.5μmであった。この粒径は、各方向における粒界間の最大距離により示している。また、粒内に大きな欠陥はなかった。大粒径結晶14の周辺における小粒径結晶15についても同様に結晶粒径を調べたところ、粒径が100nm以下であり、従来の照射工程で得られる多結晶シリコン膜の粒径と同程度であった。このように、本照射工程においては、放熱層4の近傍、即ち、予め定められた位置において、シリコン膜の結晶粒径を選択的に大きくして、膜質を向上させることが可能



である。

【0094】次に、放熱層4の除去工程を行う。図8

(a)に示すように、多結晶シリコン膜11上には、放熱層4と共にアライメントキー5が形成されているため、まず、アライメントキー5にレジストなどの保護膜16を塗布し、乾燥固化させる(図8(b))。そして、ドライエッチング又はウェットエッチングを行い、放熱層4を除去する。(図8(c))。最後に、保護膜16を剥離液で除去する(図8(d))。これにより、アライメントキー5が残った状態で、放熱層4が除去され、半導体薄膜が完成する。多結晶シリコン膜11には、多数のダングリングボンドが形成されているので、水素プラズマ中で、例えば450℃で2時間放置することにより、シリコン原子のダングリングボンドを水素原子により終端する。水素含有濃度は、例えば $2 \times 10^{20} \text{ atom} \cdot \text{cm}^{-3}$ 程度である。

【0095】本実施形態における半導体薄膜の製造においては、放熱層4の形状を平面視矩形形状としているが、平面視三角形形状とすることも好ましい。放熱層4をこのような形状とすることにより、本照射工程後に放熱層4の頂点から結晶の成長が開始され、図9に示すように、大粒径結晶14の平面形状は略扇形状となる。この場合には、結晶成長の起点が点として明確になるので、後述するTFETの製造工程において、大粒径結晶とTFETとの位置合わせが容易になる。

【0096】(半導体装置)次に、半導体装置を構成する薄膜トランジスタ(TFET)を製造する方法について説明する。まず、図10(a)に示すように、上述した製造方法により得られた半導体薄膜を用いて、大粒径結晶14を有する多結晶シリコン膜11に対して、アライメントキー5を用いてフォト工程及びエッチング工程を行い、島状にパターンニングした後、酸化シリコンからなるゲート絶縁膜19を成膜する。アライメントキー5は、以下のフォト工程においても、マスクの位置合わせのために使用する。ゲート絶縁膜19は、 $\text{SiO}_2$ の膜を、例えばTEOSを用いたプラズマCVDにより形成することができ、必要な膜厚は、例えば100nmである。形成方法としては、例えば、減圧CVD、リモートプラズマCVD、常圧CVD、ECR-CVDなどを用いることも可能である。また、高圧酸化やプラズマ酸化なども可能である。

【0097】次に、図10(b)に示すように、ゲート絶縁膜19上にゲート電極20を形成する。ゲート電極20は、例えば、モリブデン・タングステン合金膜をスパッタリングにより成膜した後、ゲート電極用のフォトマスクを用いてフォト工程を行い、エッチングにより所定の形状にパターンニングすることで形成される。ゲート電極の材料としては、その他に、高純度Al、又は、AlにSi、Cu、Ta、Sc、Zrなどの少なくとも1種を添加したAl系材料を使用することもできる。

【0098】フォト工程において使用するマスク(図示せず)は、アライメントキー5により位置合わせが可能であり、ゲート電極20を、多結晶シリコン膜11の大粒径結晶14の近傍、より詳しくは、ゲート電極20のドレイン側(図の右側)の端部が大粒径結晶14の中央に位置するように形成する。

【0099】について、図10(c)に示すように、イオンドーピング工程を行う。まず、イオンドーピング装置により、ゲート電極20をマスクとして、シリコン膜11にリンを低濃度で注入する。これにより、シリコン膜11におけるゲート電極20の直下の部分は、チャネル領域22となる。不純物としては、リン以外に、アクセプタとなるボロンや砒素など、ドナーとしてリン以外のアルミニウム等を選択的に用いることによりPチャンネル及びNチャンネルトランジスタを選択的に作成することができ、CMOS回路を基板上につくり込むことも可能である。

【0100】次に、フォト工程により、ゲート電極20及びその両端から2 $\mu\text{m}$ の範囲にレジストパターンを形成した後、このレジストパターンをマスクとして、イオンドーピング装置により高濃度のリンを注入する。この結果、シリコン膜11におけるチャネル領域22の両側で、レジストパターンにより覆われていない部分に高濃度不純物領域が形成される。この高濃度不純物領域は、それぞれソース領域24及びドレイン領域17となる。また、チャネル領域22と高濃度不純物領域17、24との間は、高濃度不純物領域よりも不純物濃度が低いLDD領域18a、18bとなる。

【0101】この後、レジストパターンを除去する。注入した不純物は、熱処理などにより活性化させる。注入されたイオンの活性化については、同時に注入された水素による自己活性化が生じるため、アニールのような工程を付加しないことも可能であるが、より確実な活性化を図るためには、400℃以上のアニール、エキシマレーザ照射、RTA(Rapid Thermal Anneal)などにより局所的な加熱を行っても良い。

【0102】次に、図10(d)に示すように、酸化シリコンからなる層間絶縁膜21を全体に成膜する。層間絶縁膜21としては、 $\text{SiO}_2$ の膜を、例えばTEOSを用いたプラズマCVDにより形成することができるが、他の方法、例えば、AP-CVD(Atmospheric Pressure CVD)法、LTO(Low Temperature Oxide)、ECR-CVDなどにより $\text{SiO}_2$ 膜を形成して行っても良いことは言うまでもない。また、層間絶縁膜21の材料として、例えば、窒化シリコン、酸化タンタル、酸化アルミニウム等を用いることができ、これらの材料からなる薄膜の積層構造をとっても良い。

【0103】そして、エッチングにより、層間絶縁膜21およびゲート絶縁膜19に、多結晶シリコン膜11のソース領域24及びドレイン領域17に達するコンタク

トホールを開口する。この後、このコンタクトホールに、チタン膜やアルミニウム・ジルコニウム合金膜などをスパッタリングし、エッチングにより所定の形状にパターンニングして、ソース電極23aおよびドレイン電極23bを形成する。ソースおよびドレイン電極23a、23bの材料としては、アルミニウム・ジルコニウム合金膜以外に、例えば、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)等の金属またはそれらの合金を用いても良く、不純物を多量に含むポリ-Siであっても良い。或いは、ポリ-SiGe合金やITO等の透明導電層などを用いても良い。

【0104】以上のプロセスにより、図11(a)に示すn型のTFT40が完成する。p型TFTが必要な場合には、リンを注入する代わりに、Bドーピング工程を行えばよい。

【0105】本実施形態におけるTFTは、アライメントキー5を用いて、ゲート電極20のドレイン側の端部が大粒径結晶14の中央に位置するようにゲート電極20が形成されているため、図11に示すように、ドレイン側のLDD領域18bとチャネル領域22との境界から両側に0.5μmの領域(図の網線で示す領域)が単結晶であり、結晶粒界Bが存在しない。したがって、ホットキャリア生成によるTFTの劣化を防止することができ、信頼性の向上を図ることができる。また、半導体薄膜の製造において、放熱層4をドレイン領域17の近傍だけでなくソース領域24の近傍にも形成することにより、TFT40のソース側のLDD領域18aとチャネル領域22との境界近傍(例えば、両側に0.5μm)にも結晶粒界Bが存在しないようにすることができ、これによって特性及び信頼性をより向上させることができる。

【0106】本実施形態におけるTFT40の移動度を測定したところ180cm<sup>2</sup>/V・sであり、放熱層4を形成せずに製造した半導体薄膜を用いて得られた従来のTFTの移動度が100cm<sup>2</sup>/V・sであるのに比べて大幅に向上した。また、ソース・ドレイン間に5Vの電圧をかけ、500kHz1500時間、ゲート電圧のON、OFFを繰り返すことにより、多数回のスイッチング動作での信頼性試験を行ったところ、上記従来のTFTでは、移動度が初期値から50%程度まで低下したのに対し、本実施形態のTFT40では移動度が初期値の85%以上であり、スイッチングによる劣化が減少した。この信頼性試験は、以下の実施形態においても同様の条件で行った。

【0107】(液晶表示装置)次に、上述した方法により得られたTFTを用いる液晶表示装置について説明する。図12に示すように、この液晶表示装置50は、互いに対向するように配置されたTFTアレ基板1及び対向基板31を有している。

【0108】TFTアレ基板1は、上面側(対向基板31側)に複数のTFT40がマトリックス状に整列配置されており、TFT40の周辺には駆動回路42、44が形成されている。また、対向基板31は、絶縁基板であるガラス基板(例えば、コーニング社の品番1737)であり、下面側(TFTアレ基板1側)に、カラーフィルタ32及び透明電極33が設けられている。TFTアレ基板1及び対向基板31の間には、ポリイミドなどの配向膜間に液晶が封入された液晶部35を有している。更に、TFTアレ基板1及び対向基板31は、対向する面とは反対側の面に、それぞれ偏光板37、39が貼り付けられている。

【0109】上述したTFTアレ基板における画素領域56の1つを、図13に拡大して示す。TFTアレ基板上には、走査線52及びデータ線54がマトリックス状に配置されており、各交差部の近傍にTFT40が配置されている。TFT40のソース電極23aはデータ線54に接続されており、ドレイン電極23bは透明電極である画素電極58に接続されている。また、ゲート電極20は、走査線52に接続されている。

【0110】このように構成された液晶表示装置50は、TFTアレの高特性化と劣化の減少により、液晶表示装置の駆動回路の不良率が減少し、画面輝度ムラ等の不具合が減少した。具体的には、上記従来のTFTを用いた液晶表示装置における駆動回路の不良率が15%であったのに対し、本実施形態の液晶表示装置50では不良率が7%に減少した、また、画面輝度ムラ不良率が従来は7%であったのに対し、本実施形態の液晶表示装置50では、3%まで減少した。

【0111】(EL表示装置)次に、上述した方法により得られたTFTを用いるEL表示装置について説明する。このEL表示装置は、TFTアレ基板を備えており、TFTアレ基板は、各画素領域に、スイッチング用TFT、駆動用TFT及びEL素子が配置されている。

【0112】EL素子60は、図14に示すように、ITOなどの透明電極からなる陽極61、発光層62、正孔注入層63及びAlLiなどの陰極64を多結晶シリコン膜11上に積層することにより形成されている。陰極64の下面側(基板1側)には、アルミニウムキノリノール錯体層65が形成されている。各陽極61間は、樹脂ブラックレジストにより埋められ、フォトリソグラフィにより光遮断層66が形成されている。発光層62は、例えばインクジェットプリント装置を用いて赤、緑、青の発光材料をパターンニング塗布することにより形成される。また、正孔注入層63は、例えばポリビニルカルbazolを真空蒸着することにより形成される。

【0113】EL素子60の材料として、本実施形態ではポリジアルキルフルオレン誘導体を用いたが、他の有機材料、例えば、他のポリフルオレン系材料やポリフェ

ニルビニレン系の材料でも良いし、無機材料でも使用可能である。また、EL素子60の製造方法は、スピンコートなどの塗布方法、蒸着、インクジェットによる吐出形成など、使用材料に応じて適宜決定すればよい。

【0114】このEL表示装置の回路図を図15に示す。スイッチング用TFT71のゲート電極はゲート信号線72に接続されており、ドレイン電極はドレイン信号線73に接続されており、ソース電極は駆動用TFT74のゲート電極に接続されている。また、駆動用TFT74のソース電極はEL素子60の陽極に接続されており、ドレイン電極は電源線76に接続されている。符号75は、コンデンサである。

【0115】駆動回路77によってゲート信号線72に与えたパルス信号がスイッチング用TFT71のゲート電極に印加されると、スイッチング用TFT71がON状態となり、駆動回路78によってドレイン信号線73に与えたドレイン信号が駆動用TFT74のゲート電極に与えられる。これにより、駆動用TFT74がON状態となり、電源線76からEL素子60に電流が供給され、EL素子60が発光する。

【0116】このように構成されたEL表示装置は、TFTアレイの高特性和劣化の減少により、画面輝度ムラや画質不良等の不具合が減少した。具体的には、従来のTFTを用いた場合には画面輝度ムラ不良率が8%であったのに対し、本実施形態のEL表示装置では、2%まで減少した。また、長時間あるいは多数回のスイッチングを行った場合のTFT特性劣化が画質不良となっていたが、従来の不良率15%から5%に減少した。

【0117】（実施の形態2）次に、本発明の実施の形態2について説明する。本実施形態及び以下の実施形態において、実施の形態1で説明した構成部分と同一の機能を有するものには図中に同一の符号を付し、実施の形態1と重複する内容については繰り返しの説明を省略する。

【0118】実施の形態2における半導体薄膜の製造方法は、実施の形態1における半導体薄膜の製造方法において、本照射工程におけるレーザ光7の照射回数を変えたものである。即ち、実施の形態1においては基板上の所定範囲に対してレーザ光7を複数回数照射するのに対し、本実施形態においては、全基板面を一度に照射可能に整形されたレーザ光により、基板上の所定範囲に対して1回（1パルス）のみ照射した。レーザ光7の好ましい強度範囲は、実施の形態1と同様とした。

【0119】こうして得られた半導体薄膜の大粒径結晶14の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、平面視において長さ方向の粒径aは1.6μmであり、幅方向の粒径bは0.5μmであった（図6、図7参照）。また、粒内に大きな欠陥はなかった。このように、結晶粒径がより大きいシリコン薄膜を得るという観点からは、本照

射工程において、基板上の1ヶ所に1パルスのみを照射することも好ましい。

【0120】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。半導体装置を構成するTFTの製造においては、大粒径結晶の粒径が1.6μmであるので、ゲート電極のドレイン側の端が、大粒径結晶の中央、即ち、結晶粒界から0.8μmに位置するように、アライメントキーによるマスクの位置合わせを行う。この結果、ドレイン側のLDD領域18bとチャネル領域22との境界から両側に0.8μmの領域が単結晶となり、結晶粒界が存在しない状態となる。

【0121】こうして得られたTFTは、移動度が180cm<sup>2</sup>/V・s、耐性検査後の移動度が初期値の95%以上であり、いずれも従来のTFTに比べて良好であった。また、液晶表示装置については、駆動回路の不良率が3%、画面輝度ムラ不良率が0.8%であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL表示装置については、画面輝度ムラ不良率が1%であり、画質不良率が2%であり、いずれも従来のEL表示装置に比べて良好であった。

【0122】（実施の形態3）次に、本発明の実施の形態3について説明する。実施の形態3における半導体薄膜の製造方法は、実施の形態1における半導体薄膜の製造方法において、予備照射工程を行わずに、前記放熱層4及びアライメントキー5を形成する工程を行うものであり、更に、この放熱層4及びアライメントキー5を形成する工程を、リフトオフにより行うものである。

【0123】即ち、脱水素処理を行った非晶質シリコン膜3上に、フォトリソグラフィにより、放熱層及びアライメントキーとなる部分以外をレジストで覆うレジストパターンRを形成する（図16（a））。ついで、蒸着によりMoW膜Mを成膜した後（図16（b））、レジスト剥離液によりレジストR及びレジスト上のMoW膜Mを除去することにより、放熱層4及びアライメントキー5が形成される（図16（c））。

【0124】次に、本照射工程を行い、多結晶シリコン膜を形成する。この本照射工程におけるレーザ光7の強度範囲は、実施の形態1における本照射工程と同じであることが好ましく、本実施形態では380mJ/cm<sup>2</sup>とした。また、基板上の1ヶ所に対する照射回数は、8回（8パルス）とした。これにより、放熱層4の周囲に大粒径結晶が形成される（図6参照）。この後は、実施の形態1と同様に、放熱層4を除去する。

【0125】本実施形態においては、実施の形態1のように予備照射工程を行っていないため、放熱層4が形成されていた箇所下方領域は、非晶質シリコンとなっている。したがって、この領域を結晶化するため、レーザアニール装置（ELA装置）により付加照射工程を行う。放熱層4が形成されていた領域には特に膜質の高い

ものは要求されないため、付加照射工程におけるレーザー光の強度は、本照射工程におけるレーザー光強度よりも小さくて十分である。また、あまり強い強度のレーザー光を照射すると、本照射工程において形成された大粒径のシリコン結晶14に欠陥を生じるため、好ましくない。したがって、レーザー光強度は、実施の形態1における予備照射工程と同じ範囲が好ましく、本実施形態では $250 \text{ mJ/cm}^2$ とした。また、基板上の1ヶ所に対する照射回数は10回とした。尚、この照射回数は種々の設定が可能である。これによって、放熱層4が形成されていた領域には、粒径が $30 \text{ nm}$ 以下の小粒径の多結晶シリコンが形成される。

【0126】こうして得られた半導体薄膜の大粒径シリコン結晶14の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、約 $2 \mu\text{m}$ であった。また、粒内に大きな欠陥はなかった。更に、100個の大粒径結晶14について粒径のばらつきを調べたところ、 $2 \mu\text{m} \pm 0.4 \mu\text{m}$ であり、実施の形態1の本照射工程において、レーザー光を複数パルスで照射する代わりに単パルスで照射した場合が $1.6 \mu\text{m} \pm 0.8 \mu\text{m}$ であるのに比べて、ばらつきが少なかった。

【0127】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。本実施形態の半導体装置を構成するTFTの製造においては、実施の形態1のイオンドーピング工程において、LDD領域を形成する代わりに、次のようにしてオフセット領域を形成する。まず、フォトリソグラフィで、ゲート電極20とその両端から $2 \mu\text{m}$ の上にレジストのパターンを形成する。次にイオンドーピング装置により、前記レジストをマスクとして高濃度のリンを注入する。この結果、図17に示すように、ゲート金属20の下方がチャネル領域22となり、チャネル領域22の両端から $2 \mu\text{m}$ の領域は、オフセット領域18c、18dが形成される。また、レジストパターンにより覆われていない部分に、高濃度不純物領域が形成される。この高濃度不純物領域は、それぞれソース領域24及びドレイン領域17となる。後は、実施の形態1と同様にして、半導体装置を製造する。

【0128】また、大粒径結晶の粒径が $2 \mu\text{m}$ であるので、ゲート電極20のドレイン側の端が、大粒径結晶の中央、即ち、粒界から $1 \mu\text{m}$ に位置するように、アライメントキー5によるマスクの位置合わせを行う。この結果、ドレイン側のオフセット領域18dとチャネル領域22との境界から両側に $1 \mu\text{m}$ の領域が単結晶であり、結晶粒界が存在しないTFTとなる。

【0129】こうして得られたTFTは、移動度が $200 \text{ cm}^2/\text{V} \cdot \text{s}$ 、耐久性検査後の移動度が初期値の95%以上あり、いずれも従来のTFTに比べて良好であった。また、液晶表示装置については、駆動回路の不良率が2.5%、画面輝度ムラ不良率が0.6%であり、い

ずれも従来の液晶表示装置に比べて良好であった。また、EL表示装置については、画面輝度ムラ不良率が0.7%であり、画質不良率が1.2%であり、いずれも従来のEL表示装置に比べて良好であった。

【0130】（実施の形態4）次に、本発明の実施の形態4について説明する。実施の形態4における半導体薄膜の製造方法は、実施の形態3における半導体薄膜の製造方法と同様、予備照射工程を行わずに前記放熱層4及びアライメントキー5を形成する工程を行うものであり、更に、この放熱層4及びアライメントキー5を形成する工程を、フォト工程及びエッチング工程により行うものである。

【0131】即ち、脱水素処理を行った非晶質シリコン膜3上に、蒸着又はスパッタリングにより、シリコン膜よりも熱伝導率が高く、かつ、レーザー光を透過する物質として、 $\text{InTiO}$ （ITO）膜を成膜する。ついで、フォト工程及びエッチング工程により、所定形状のITOパターンからなる放熱層4及びアライメントキー5を形成する（図4参照）。

【0132】次に、本照射工程を行い、多結晶シリコン膜を形成する。本実施形態においては、レーザー光7の強度を $360 \text{ mJ/cm}^2$ とし、基板上の1ヶ所に対する照射回数を、300回（300パルス）とした。これにより、放熱層4の周囲に大粒径結晶14が形成される（図6、図7参照）。この後は、実施の形態1と同様にして、放熱層4を除去する。

【0133】本実施形態においては、実施の形態3と同様に予備照射工程を行っていないが、放熱層4が光透過性を有する物質であるITOにより形成されているため、本照射工程により、放熱層4下方のシリコン膜も結晶化されている。したがって、実施の形態3のように付加照射工程を必要とせず、製造工程の短縮化を図ることができる。

【0134】こうして得られた半導体薄膜の大粒径結晶14の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、長さ方向の粒径aが $4 \mu\text{m}$ であり、幅方向の粒径bが $0.5 \mu\text{m}$ であった（図6、図7参照）。また、粒内に大きな欠陥はなかった。更に、100個の大粒径結晶14について粒径のばらつきを調べたところ、 $4 \mu\text{m} \pm 0.4 \mu\text{m}$ であり、実施の形態1の本照射工程において、レーザー光を単パルスで照射した場合が $1.6 \mu\text{m} \pm 0.8 \mu\text{m}$ であるのに比べて、ばらつきが少なかった。

【0135】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。半導体装置を構成するTFTの製造においては、本実施形態では、ゲート電極20が大粒径結晶14の中央に位置するように、アライメントキー5によるゲート形成用マスクの位置合わせを行った。即ち、大粒径結晶14の長さ方向の粒径が $4 \mu\text{m}$ であるので、ゲート

電極 20 のソースドレイン方向の長さを  $2.5 \mu\text{m}$  とすることにより、ゲート電極 20 のドレイン側の端が、粒界から  $0.8 \mu\text{m}$  に位置するようにした。そして、これに合わせてゲート電極 20 の下方におけるチャンネル領域のチャンネル長を  $2.5 \mu\text{m}$  とし、チャンネル領域 22 両側の LDD 領域 18 a, 18 b の LDD 長を  $0.8 \mu\text{m}$  とすることで、チャンネル領域 22 及び LDD 領域 18 a, 18 b が連続した単結晶、即ち、結晶粒界が存在しない状態となるようにした（図 11 参照）。

【0136】こうして得られた TFT は、移動度が  $320 \text{ cm}^2/\text{V} \cdot \text{s}$ 、耐性検査後の移動度が初期値の 97 % 以上であり、いずれも従来の TFT に比べて良好であった。また、液晶表示装置については、駆動回路の不良率が 1.5 %、画面輝度ムラ不良率が 0.4 % であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL 表示装置については、画面輝度ムラ不良率が 0.5 % であり、画質不良率が 1.2 % であり、いずれも従来の EL 表示装置に比べて良好であった。

【0137】（実施の形態 5）次に、本発明の実施の形態 5 について説明する。実施の形態 5 における半導体薄膜の製造方法は、実施の形態 1 における半導体薄膜の製造方法において、放熱層 4 及びアライメントキー 5 を、パターン形成用マスクを用いた蒸着によって行う代わりに、フォトリソ工程及びエッチング工程により行うものである。

【0138】即ち、予備照射工程により形成された多結晶シリコン膜上に、蒸着又はスパッタリングにより、シリコン膜よりも熱伝導率が高い物質として、MoW 膜を成膜する。ついで、フォトリソ工程及びエッチング工程により、所定形状の MoW のパターンからなる放熱層 4 及びアライメントキー 5 を形成する（図 8（a）参照）。次に、本照射工程を行い、多結晶シリコン膜 11 を形成する。本実施形態においては、レーザ光 7 の強度を  $360 \text{ mJ}/\text{cm}^2$  とし、基板上の 1 ヶ所に対する照射回数を、300 回（300 パルス）とした。これにより、放熱層 4 の周囲に大粒径結晶 14 が形成される。この後は、実施の形態 1 と同様にして、放熱層 4 を除去する。

【0139】こうして得られた半導体薄膜の大粒径結晶 14 の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、長さ方向の粒径 a が  $4 \mu\text{m}$  であり、幅方向の粒径 b が  $0.5 \mu\text{m}$  であった（図 6、図 7 参照）。また、粒内に大きな欠陥はなかった。

【0140】この半導体薄膜を用いて、実施の形態 1 と同様に、半導体装置、液晶表示装置及び EL 表示装置を製造した。本実施形態の半導体装置を構成する TFT の製造においては、実施の形態 1 のイオンドーピング工程において、LDD 領域を形成する代わりに、実施の形態 3 と同様にして、オフセット領域を形成する（図 17 参照）。

【0141】本実施形態では、ゲート電極 20 が大粒径結晶 14 の中央に位置するように、アライメントキー 5 によるゲート形成用マスクの位置合わせを行った。即ち、大粒径結晶 14 の長さ方向の粒径が  $4 \mu\text{m}$  であるので、ゲート電極 20 のソースドレイン方向の長さを  $2.5 \mu\text{m}$  とすることにより、ゲート電極 20 のドレイン側の端が、粒界から  $0.8 \mu\text{m}$  に位置するようにした。そして、これに合わせてゲート電極 20 下方のチャンネル領域 22 の長さを  $2.5 \mu\text{m}$  とし、チャンネル領域 22 両側のオフセット領域 18 c, 18 d の長さを  $0.8 \mu\text{m}$  とすることで、チャンネル領域 22 及びオフセット領域 18 c, 18 d が連続した単結晶となり、結晶粒界が存在しない状態とした。

【0142】こうして得られた TFT は、移動度が  $310 \text{ cm}^2/\text{V} \cdot \text{s}$ 、耐性検査後の移動度が初期値の 97 % 以上であり、いずれも従来の TFT に比べて良好であった。また、液晶表示装置については、駆動回路の不良率が 2 %、画面輝度ムラ不良率が 0.4 % であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL 表示装置については、画面輝度ムラ不良率が 0.4 % であり、画質不良率が 1 % であり、いずれも従来の EL 表示装置に比べて良好であった。

【0143】（実施の形態 6）次に、本発明の実施の形態 6 について説明する。実施の形態 6 における半導体薄膜の製造方法は、実施の形態 1 において、基板上に形成する下地膜に微小径の空孔を形成することを特徴とする。

【0144】即ち、基板 1 を回転させながら、この基板上に Si、O 及び有機溶媒を主成分とするシリカを塗布する。本実施形態においては、有機溶媒としてアルコール（メタノール）を用いた。ついで、この基板 1 を熱処理することにより、空孔を含む  $\text{SiO}_x$  の下地膜 2 を形成する（図 1 参照）。熱処理の温度は  $450^\circ\text{C}$  以上  $650^\circ\text{C}$  以下が適しており、空孔を小さくすると共に、基板 1 の反りを小さくするためには、 $550^\circ\text{C}$  以上  $620^\circ\text{C}$  以下がより好ましい。本実施形態においては、熱処理の温度を  $600^\circ\text{C}$  とした。

【0145】従来の熱処理のようにシリカの固化工程を  $400^\circ\text{C}$  で行っていた場合、空孔の平均孔径は  $10 \mu\text{m}$  程度であったが、 $600^\circ\text{C}$  で固化させることにより、空孔の平均孔径は  $2 \mu\text{m}$  以下に改善された。この平均孔径は、 $0.01 \sim 2 \mu\text{m}$  であることが好ましく、 $0.05 \sim 0.1 \mu\text{m}$  であることがより好ましい。

【0146】この後は、実施の形態 5 と同様にして、半導体薄膜を製造した。半導体薄膜の大粒径結晶 14 の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、長さ方向の粒径 a が  $30 \mu\text{m}$  であり、幅方向の粒径 b が  $0.5 \mu\text{m}$  であった（図 6、図 7 参照）。また、粒内に大きな欠陥はなかった。小粒径結晶 15 は、粒径が  $200 \mu\text{m}$  以下であつ

た。

【0147】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。本実施形態の半導体装置を構成するTFTの製造においては、多結晶シリコン層をパターンニングするフォトリソグラフィとして、チャンネル領域、LDD領域、ソース領域およびドレイン領域が大粒径シリコン結晶14内に形成されるように設計されたフォトリソグラフィを用い、ゲート電極の中央が大粒径シリコン結晶の中央となるようにした。ゲート電極のソースドレイン方向の長さは4  $\mu\text{m}$ とした。これにより、チャンネル長が4  $\mu\text{m}$ 、LDD長が1.5  $\mu\text{m}$ 、ソース長およびドレイン長がいずれも10  $\mu\text{m}$ のn型TFTを得た。これらの領域は、全てが連続した単結晶となっており、結晶粒界が存在しない。

【0148】こうして得られたTFTは、移動度が380  $\text{cm}^2/\text{V}\cdot\text{s}$ 、耐性検査後の移動度が初期値の97%以上であり、いずれも従来のTFTに比べて良好であった。また、下地膜の空孔の平均孔径が2  $\mu\text{m}$ 以下であり、従来の多孔質の下地膜に比べて空孔の平均孔径をかなり小さくしているため、不良率が大幅に低下した。

【0149】液晶表示装置については、駆動回路の不良率が1.5%、画面輝度ムラ不良率が0.3%であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL表示装置については、画面輝度ムラ不良率が0.3%であり、画質不良率が0.7%であり、いずれも従来のEL表示装置に比べて良好であった。

【0150】(実施の形態7)次に、本発明の実施の形態7について説明する。実施の形態7における半導体薄膜の製造方法は、実施の形態1において基板上に下地膜を形成した後、更に多孔質層を有する下地膜を形成することを特徴とする。

【0151】即ち、実施の形態1と同様に、基板1上に、TEOS-CVD法により膜厚300nmの $\text{SiO}_2$ 下地膜2を成膜する。ついで、成膜用のシリコン基板をターゲットとして、シリコンが蒸発する強度でレーザー光を照射し、シリコン粒子を蒸着させるレーザーアブレーションにより、下地膜2上にシリコン膜を成膜する。形成されたシリコン膜には、多量の空孔が存在する。次に、成膜されたシリコン膜を酸化させる。オゾンまたは酸素雰囲気中でプラズマを発生させることにより、レーザーアブレーションで形成された空孔を含んだシリコン膜が酸化され、 $\text{SiO}_2$ 膜2aとなる(図18参照)。この $\text{SiO}_2$ 膜2a中には多量の空孔が含まれ、空孔の平均孔径は1  $\mu\text{m}$ 以下である。空孔を有する下地膜2aのみでは、ガラスなどの基板1からの不純物が半導体層へ拡散することを防止する役割が不十分となるが、本実施形態では、 $\text{SiO}_2$ の緻密な層からなる下地膜2、及び、多孔質層からなる下地膜2aの2層構造にすることにより、基板1から半導体層への不純物拡散を確実に防止することができる。

【0152】この後は、実施の形態5と同様にして、半導体薄膜を製造した。半導体薄膜の大粒径結晶14の結晶粒径を、原子間力顕微鏡(AFM)および透過型電子顕微鏡(TEM)で測定をしたところ、長さ方向の粒径aが30  $\mu\text{m}$ であり、幅方向の粒径bが0.5  $\mu\text{m}$ であった(図6、図7参照)。また、粒内に大きな欠陥はなかった。小粒径結晶15は、粒径が200  $\mu\text{m}$ 以下であった。

【0153】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。本実施形態の半導体装置を構成するTFTの製造においては、実施の形態5と同様にして、チャンネル長が4  $\mu\text{m}$ 、LDD長が1.5  $\mu\text{m}$ 、ソース長およびドレイン長がいずれも10  $\mu\text{m}$ のn型TFTを得た。これらの領域は、全てが連続した単結晶となっており、結晶粒界が存在しない。

【0154】こうして得られたTFTは、移動度が380  $\text{cm}^2/\text{V}\cdot\text{s}$ 、耐性検査後の移動度が初期値の97%以上であり、いずれも従来のTFTに比べて良好であった。

【0155】液晶表示装置については、駆動回路の不良率が1.2%、画面輝度ムラ不良率が0.2%であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL表示装置については、画面輝度ムラ不良率が0.2%であり、画質不良率が0.5%であり、いずれも従来のEL表示装置に比べて良好であった。

【0156】多孔質層を有する下地膜は、SOG(スピノングラス)膜などの多孔質膜とすることが可能であり、大粒径のシリコン結晶が成長することを確認している。SOGは、有機、無機を問わない。

【0157】(実施の形態8)次に、本発明の実施の形態8について説明する。実施の形態8から12における半導体薄膜の製造方法は、実施の形態1における半導体薄膜の製造方法において、本照射工程を露光マスクを用いて行うものである。

【0158】まず、実施の形態1と同様にして、基板1上に、下地膜2及び非晶質シリコン膜3を形成し(図1参照)、必要に応じて脱水素処理を行った後、次のようにして本照射工程を行う。本実施形態においては、露光マスクとして、図19に示すように、板状体に平面視帯状の複数のレンズ114が互いに平行となるように設けられた露光マスク105を使用する。露光マスク105を構成する板状体は、光透過性材料又は遮光性材料のいずれを用いても良いが、本実施形態においては光透過性を有する石英を使用した。

【0159】各レンズ114は、図20(a)に示すように、長手方向側の側面において、下側(基板1に対向する側)が側面視略円弧状の凹曲面114aとなるように形成されており、レンズ114を透過してシリコン膜に照射される光量に傾斜的な分布を生じさせるように、

基板 1 及び露光マスク 105 のそれぞれの設置場所を考慮してレンズ曲率が設計されている。

【0160】このように構成された露光マスク 105 を基板 1 の近くに配置し、この露光マスク 105 を介してレーザ光 7 を 1 パルス照射した。レーザ光 7 の好ましい照射強度範囲は、実施の形態 1 における本照射工程の場合と同様であり、本実施形態では  $380 \text{ mJ/cm}^2$  とした。これにより、レンズ 114 を透過したレーザ光 7 は、図 20 (b) に示すように、レンズ 114 の長手方向に光量分布を生じ、シリコン膜 11 の同じ方向に傾斜的な温度勾配を生じる。この結果、光量の最も少ない部分 (図 20 (b) における 2 カ所) から、レンズ 114 の中心側及び周辺側のそれぞれに向けて結晶が成長し、大粒径結晶 14 が形成される。大粒径結晶 14 の粒径を、原子間力顕微鏡 (AFM) および透過型電子顕微鏡 (TEM) で測定をしたところ、長さ方向の粒径  $a$  が  $6 \mu\text{m}$  であり、幅方向の粒径  $b$  が  $2 \mu\text{m}$  であった (図 6、図 7 参照)。また、粒内に大きな欠陥はなかった。このように、本実施形態では、露光マスク 105 のレンズ 114 に対応する位置に、粒径の大きなシリコン結晶 14 が形成される。また、本実施形態においては、図示していないが、露光マスク 105 にキー形成用のパターンを備えており、これによってアライメントキーを形成することができる。このキー形成用のパターンについては、後述する実施の形態 10 において詳しく説明する。

【0161】この半導体薄膜を用いて、実施の形態 1 と同様に、半導体装置、液晶表示装置及び EL 表示装置を製造した。本実施形態においては、上述したキー形成用のパターンにより形成されたアライメントキーを用いて、大粒径シリコン結晶の位置に TFT を形成した。

【0162】こうして得られた TFT は、移動度が  $170 \text{ cm}^2/\text{V} \cdot \text{s}$ 、耐久性検査後の移動度が初期値の 75% 以上であり、いずれも従来の TFT に比べて良好であった。また、液晶表示装置については、駆動回路の不良率が 11%、画面輝度ムラ不良率が 5% であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL 表示装置については、画面輝度ムラ不良率が 5% であり、画質不良率が 11% であり、いずれも従来の EL 表示装置に比べて良好であった。また、EL 表示装置の輝度は、電圧 5V の印加時において  $400 \text{ cd/m}^2$  であり、従来の  $300 \text{ cd/m}^2$  に比べて向上した。

【0163】また、本実施形態の半導体薄膜の製造においては、上述したように、レーザ光 7 の照射回数を 1 回としているが、基板と光軸とを静止させて両者の位置関係を固定した状態で数回 (数パルス) 照射すること (静止照射) により、多結晶シリコン膜 11 におけるシリコン結晶の欠陥が減少した。特に、10 パルス以上 (より好ましくは 100 パルス以上) 照射することにより、シリコン結晶の欠陥の減少と共に粒径が拡大し、TFT を製造した場合の特性が向上した。また、基板と光軸との

相対位置を徐々に変化させながら、レーザ光 7 の各照射毎の照射面積が 90% オーバーラップするように複数パルスを照射する場合 (走査照射) には、上述した静止照射と比較すると結晶欠陥の減少が顕著ではなかったが、従来の走査照射に比べると、露光マスク 105 を用いた効果により結晶粒径が大きくなり、TFT 特性も向上した。

【0164】また、レンズ 114 の形状は、本実施形態では、露光マスクに用いるレンズを凹レンズとしているが、凸レンズとしても、適当な光量分布を生じさせることができることは確認済みである。この点については、レンズを有する露光マスクを使用する以下の実施形態においても同様である。

【0165】(実施の形態 9) 次に、本発明の実施の形態 9 について説明する。実施の形態 9 における半導体薄膜の製造方法は、図 21 に示すように、露光マスクとして、光を透過しない物質 (例えばステンレス) からなる板に、複数の開口部 138 を形成した露光マスク 139 を使用した。各開口部 138 は、開口面積が段階的に変化するように一列に形成されており、この列が互いに平行となるように複数配置されている。即ち、この列を含む帯状領域の長手方向に沿って開口率が段階的に変化する。開口率の変化は、例えば、各開口部 138 の形状や間隔などを変えることで行っても良い。

【0166】各開口部 138 の大きさは、レーザ光 7 の強度を  $380 \text{ mJ/cm}^2$  とした場合に、露光マスク 139 を介して基板 1 に照射される光量分布が  $250 \text{ mJ/cm}^2$  から  $380 \text{ mJ/cm}^2$  となるように設計されている。更に、露光マスク 139 には、キーパターン形成用の所定形状の開口 137 が形成されている。

【0167】このように構成された露光マスク 139 を基板 1 の近くに配置し、実施の形態 8 と同様にして、半導体薄膜を製造した (図 22 (a))。これにより、露光マスク 139 の開口 138 を通過したレーザ光 7 は、開口列に沿って光量分布を生じ、シリコン膜 11 の同じ方向に傾斜的な温度勾配を生じる。この結果、低温部から高温部に向けて大粒径のシリコン結晶 14 が形成される。大粒径結晶 14 の粒径を、原子間力顕微鏡 (AFM) および透過型電子顕微鏡 (TEM) で測定をしたところ、長さ方向の粒径  $a$  が  $10 \mu\text{m}$  であり、幅方向の粒径  $b$  が  $3 \mu\text{m}$  であった (図 6、図 7 参照)。また、粒内に大きな欠陥はなかった。このように、本実施形態では、露光マスク 139 の開口 138 がなす列に対応する位置に、粒径の大きなシリコン結晶 14 が形成される。

【0168】また、本実施形態では、露光マスク 139 にキーパターン形成用の開口 137 が形成されているため、レーザ光の照射により、この開口形状に対応した多結晶シリコン膜の領域が形成され、その周囲が非晶質シリコン膜の領域となる。したがって、多結晶シリコンと非晶質シリコンとの色の相違から、形成されたキーパタ

ーンをアライメントキー5として使用することができる。

【0169】このアライメントキー5は、キー部分のみを非照射部分としてその周囲が照射されるように露光マスクを形成することで、非晶質シリコン膜からなるアライメントキーが形成されるようにしても良い。この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。半導体装置を構成するTFTの製造においては、実施の形態1と同様に、アライメントキー5を用いて、大粒径シリコン結

晶の位置にTFTを形成した。  
【0170】こうして得られたTFTは、移動度が $250\text{ cm}^2/\text{V}\cdot\text{s}$ 、耐性検査後の移動度が初期値の83%以上であり、いずれも従来のTFTに比べて良好であった。また、液晶表示装置については、駆動回路の不良率が8%、画面輝度ムラ不良率が4%であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL表示装置については、画面輝度ムラ不良率が3%であり、画質不良率が8%であり、いずれも従来のEL表示装置に比べて良好であった。また、EL表示装置の輝度

は、電圧5Vの印加時において $450\text{ cd}/\text{m}^2$ であり、従来に比べて向上した。  
【0171】（実施の形態10）次に、本発明の実施の形態10について説明する。実施の形態10における半導体薄膜の製造方法は、露光マスクとして、図23に示すように、板状体に複数のレンズ214がアレイ状（マトリックス状）に配置された露光マスク205を使用する。露光マスク205を構成する板状体は、光透過性材料又は遮光性材料のいずれを用いても良いが、本実施形態においては光透過性を有する石英を使用した。

【0172】各レンズ214は、図24に示すように、下側（基板1に対向する側）に凹部が形成された凹レンズであり、凹部の内壁面が略球面状に形成されている。レンズの曲率は、レーザ光の強度を $380\text{ mJ}/\text{cm}^2$ とした場合に、露光マスクを介して基板1に照射される光量分布が、 $250\text{ mJ}/\text{cm}^2$ から $380\text{ mJ}/\text{cm}^2$ の傾斜的な分布となるように設計されている。更に、露光マスク205の光透過性を有する領域の一部に、光透過性を有しない金属などからなるキー形成用のパターン240が形成されている（図23参照）。

【0173】このように構成された露光マスク205を基板1に近くに配置し、実施の形態8と同様にして、半導体薄膜を製造した（図24（a））。これにより、露光マスク205のレンズ214を透過したレーザ光7は、図24（b）に示すように、平面視円状レンズ214の径方向に沿って光量分布を生じ、低温部から高温部に向けて大粒径のシリコン結晶が形成される。大粒径結晶14の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、長さ方向の粒径aが $10\text{ }\mu\text{m}$ であり、幅方向の粒径bが $10\text{ }\mu\text{m}$ で

あった（図6、図7参照）。また、粒内に大きな欠陥はなかった。このように、本実施形態では、実施の形態8と比較して、幅方向にも光量分布を生じるため、結晶形状が略円状となり、大粒径結晶14の面積が拡大した。

【0174】また、本実施形態では、露光マスク205に形成されたキー形成用のパターン240により、多結晶シリコン膜11の一部に非晶質シリコンの領域が形成されるので、周囲に形成された多結晶シリコンの領域との差から、形成されたパターンをアライメントキー5として使用することができる。

【0175】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。半導体装置を構成するTFTの製造においては、実施の形態1と同様に、アライメントキー5を用いて、大粒径結晶14の位置にTFTを形成した。本実施形態においては、露光マスク205のレンズ214の中心に対応する位置に、大粒径結晶14の中心が略一致するため、大粒径結晶14の形成位置がより明確且つ一定になり、アライメントキー5による大粒径結晶14とTFTとの位置合わせを、より精度良く行うことができる。

【0176】こうして得られたTFTは、移動度が $370\text{ cm}^2/\text{V}\cdot\text{s}$ 、耐性検査後の移動度が初期値の95%以上であり、いずれも従来のTFTに比べて良好であった。また、液晶表示装置については、駆動回路の不良率が3%、画面輝度ムラ不良率が1%であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL表示装置については、画面輝度ムラ不良率が1%であり、画質不良率が5%であり、いずれも従来のEL表示装置に比べて良好であった。また、EL表示装置の輝度は、電圧5Vの印加時において $470\text{ cd}/\text{m}^2$ であり、従来に比べて向上した。

【0177】（実施の形態11）次に、本発明の実施の形態11について説明する。実施の形態11における半導体薄膜の製造方法は、露光マスクとして、図25に示すように、光透過性を有する物質（例えば、石英）の板材の下側（基板に対向する側）に、複数の凹部242がアレイ状に配置された露光マスク241を使用する。各凹部242の内壁面は、円筒状に形成されており、マスク下面241aとの間に段差241bを形成している。更に、露光マスク241の一部に、光透過性を有しない金属などからなるキー形成用のパターン240が形成されている。

【0178】図26（a）に示すように、このように構成された露光マスク241を基板1の近くに配置し、実施の形態8と同様にして、半導体薄膜を製造した。これにより、露光マスク241を透過したレーザ光7は、凹部242を形成する段差241bによって位相のずれを生じるため、図26（b）に示すように、基板上に照射される光量に分布を生じる。この光量分布は、凹部24



2の段差241b付近に対応する位置が最も光量が弱く、凹部242の径方向に沿って中心側及びその反対側に向けてそれぞれ光量が増加する。凹部242の大きさ及び段差241bの高さは、レーザ光の強度を $380\text{ mJ/cm}^2$ とした場合に、 $250\text{ mJ/cm}^2$ から $380\text{ mJ/cm}^2$ の傾斜的な分布となるように設計されている。これにより、低温部から高温部に向けて大粒径のシリコン結晶が形成される。本実施形態においては、露光マスク241を透過するレーザ光7に位相差分布を生じさせる方法として、露光マスク241の下面241aに凹部242を形成しているが、この代わりに凸部を形成して、この部分の肉厚が周辺部よりも厚くなるように構成しても、本実施形態のように位相のずれを生じさせることができる。

【0179】大粒径結晶14の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、長さ方向の粒径aが $10\text{ }\mu\text{m}$ であり、幅方向の粒径bが $10\text{ }\mu\text{m}$ であった（図6、図7参照）。また、粒内に大きな欠陥はなかった。このように、本実施形態では、実施の形態10と同様に、幅方向にも光量分布を生じるため、結晶形状が略円状となり、大粒径結晶14の面積が拡大した。

【0180】また、本実施形態では、露光マスク241に形成されたキー形成用のパターン240により、非晶質シリコンの領域が形成されるので、周囲に形成された多結晶シリコンの領域との差から、形成されたパターンをアライメントキー5として使用することができる（図26（a）参照）。

【0181】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。半導体装置を構成するTFTの製造においては、実施の形態1と同様に、アライメントキー5を用いて、大粒径結晶の位置にTFTを形成した。本実施形態においては、露光マスク241の凹部242の中心に対応する位置に、大粒径結晶14の中心が略一致するため、大粒径結晶14の形成位置がより明確且つ一定になり、アライメントキー5による大粒径シリコン結晶14とTFTとの位置合わせをより精度良く行うことができる。

【0182】こうして得られたTFTは、移動度が $410\text{ cm}^2/\text{V}\cdot\text{s}$ 、耐性検査後の移動度が初期値の97%以上であり、いずれも従来のTFTに比べて良好であった。また、液晶表示装置については、駆動回路の不良率が2%、画面輝度ムラ不良率が0.7%であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL表示装置については、画面輝度ムラ不良率が0.6%であり、画質不良率が4%であり、いずれも従来のEL表示装置に比べて良好であった。また、EL表示装置の輝度は、電圧5Vの印加時において $520\text{ cd/m}^2$ であり、従来に比べて向上した。

【0183】（実施の形態12）次に、本発明の実施の形態12について説明する。実施の形態12における半導体薄膜の製造方法は、図27に示すように、露光マスクとして、光を透過しない物質（例えばステンレス）からなる板に複数の開口部338を形成した露光マスク339を使用する。各開口部338は、一点を中心として周辺に向けて開口面積が段階的に増加するように放射状に配置されており、平面視略円状の光量分布形成領域350を形成している。即ち、光量分布形成領域350は、単位面積あたりの開口率が中心から周辺に向けて径方向に増加するように、各開口部338が配置されている。各開口部338の形状、間隔などは、レーザ光の強度を $380\text{ mJ/cm}^2$ とした場合に、露光マスクを介して基板に照射される光量分布が $250\text{ mJ/cm}^2$ から $380\text{ mJ/cm}^2$ の傾斜的な分布となるように設計されている。露光マスク339には、このような光量分布形成領域350が、アレイ状（マトリックス状）に複数形成されている。

【0184】また、光量分布形成領域350以外の領域には、同面積の開口部340が等間隔で全体に配置されており、更に、キーパターン形成用の所定形状の開口337が形成されている。

【0185】このように構成された露光マスク339を基板に近くに配置し、実施の形態8と同様に、半導体薄膜を製造した。光量分布形成領域350の開口338を通過したレーザ光は、基板1上の光量分布形成領域350の中心に対応する位置から周辺に向けて径方向に増加する光量分布を生じ、傾斜的な温度勾配を生じる。この結果、低温部から高温部に向けて大粒径シリコン結晶14が形成される。大粒径結晶14の粒径を、原子間力顕微鏡（AFM）および透過型電子顕微鏡（TEM）で測定をしたところ、長さ方向の粒径aが $10\text{ }\mu\text{m}$ であり、幅方向の粒径bが $10\text{ }\mu\text{m}$ であった（図6、図7参照）。また、粒内に大きな欠陥はなかった。このように、本実施形態では、実施の形態10と同様に、幅方向にも光量分布を生じるため、結晶形状が略円状となり、大粒径結晶14の面積が拡大した。また、光量分布形成領域350以外の領域に形成された開口部340を介して照射された部分は、小粒径結晶15となった。

【0186】また、本実施形態では、露光マスク339に形成されたキー形成用の開口337により、この開口337に対応する位置に多結晶シリコン領域が形成され、その周囲は、露光マスク339によって照射が遮断されて非晶質シリコン領域が形成されることから、多結晶シリコン領域と非晶質シリコン領域との色の相違から、キー形成用の開口337に対応するパターンをアライメントキー5として使用することができる。

【0187】この半導体薄膜を用いて、実施の形態1と同様に、半導体装置、液晶表示装置及びEL表示装置を製造した。半導体装置を構成するTFTの製造において

は、実施の形態 1 と同様に、アライメントキー 5 を用いて、大粒径結晶 14 の位置に TFT を形成した。本実施形態においては、露光マスクの光量分布形成領域 350 の中心に対応する位置に、大粒径結晶 14 の中心が略一致するため、大粒径結晶 14 の形成位置がより明確且つ一定になり、アライメントキー 5 による大粒径結晶 14 と TFT との位置合わせをより精度良く行うことができる。

【0188】 こうして得られた TFT は、移動度が  $410 \text{ cm}^2/\text{V} \cdot \text{s}$ 、耐性検査後の移動度が初期値の 97% 以上であり、いずれも従来の TFT に比べて良好であった。また、液晶表示装置については、駆動回路の不良率が 2%、画面輝度ムラ不良率が 0.7% であり、いずれも従来の液晶表示装置に比べて良好であった。また、EL 表示装置については、画面輝度ムラ不良率が 0.6% であり、画質不良率が 4% であり、いずれも従来の EL 表示装置に比べて良好であった。また、EL 表示装置の輝度は、電圧 5V の印加時において  $520 \text{ cd}/\text{m}^2$  であり、従来に比べて向上した。

【0189】 (実施の形態 13) 次に、本発明の実施の形態 13 について説明する。実施の形態 13 における半導体薄膜の製造方法は、図 28 (a) に示すように、まず、基板 1 上にアライメントキー 5 を形成してから、基板 1 及びアライメントキー 5 上に窒化膜や酸化膜などの絶縁性下地膜 2 を形成し、この下地膜 2 上に非晶質シリコン膜 3 を形成する。このアライメントキー 5 は、非晶質シリコン膜 3 よりも熱伝導率が高い物質からなり、マスクを用いた蒸着、成膜後のエッチング、レジストパターン形成後に成膜してリフトオフする方法など、上述した各実施形態における形成方法により形成することができる。

【0190】 次に、非晶質シリコン膜 3 に対して、上記実施の形態 1 における本照射工程と同様の条件でレーザー光を照射する。これにより、図 28 (b) に示すように、アライメントキー 5 が放熱層として機能し、アライメントキー 5 の近傍に大粒径結晶 14 が形成される。

【0191】 この後は、実施の形態 1 における TFT の製造方法と同様にアライメントキー 5 を用いて、図 28 (c) に示すように、大粒径結晶 14 の位置に TFT 40 を形成することができる。このように、アライメントキー 5 を放熱層として兼用することができるので、半導体装置の製造工程の短縮化を図ることができる。

【0192】 下地膜 2 は、図 28 (d) に示すように、上側下地膜 2b と下側下地膜 2c との 2 層から構成し、上側下地膜 2b 及び下側下地膜 2c の間にアライメントキー 5 が配置されるようにしても良い。この場合、上側下地膜 2b の厚みを下側下地膜 2c の厚みよりも薄くすることが好ましく、これによって熱伝導性を良好にすることができる。また、上側下地膜 2b を多孔質層とし、下側下地膜 2c をこの多孔質層よりも緻密な層としても

良い。

【0193】 (実施の形態 14) 次に、本発明の実施の形態 14 について説明する。上述した各実施形態における TFT の構造は、一般に、コプレーナ (coplanar) 構造又は正スタガ構造と呼ばれるものであるが、ボトムゲート構造又は逆スタガ構造と呼ばれるものも存在する。このような逆スタガ構造の TFT は、次のようにして製造することができる。

【0194】 まず、基板 1 上にアライメントキー 5 を形成してから下地膜 2 を形成する。ついで、金属膜をスパッタリングし、アライメントキー 5 を用いてフォトリソグラフィを行い、ドライエッチングなどにより、所定位置にパターンニングされたゲート電極 20 を形成する (図 29 (a))。ついで、ゲート絶縁膜 19 を TEOS-CVD 法などにより成膜してから、プラズマ CVD 法などにより、非晶質シリコン膜 3 を成膜し、熱処理などにより脱水素化を行う (図 29 (b))。

【0195】 この後は、実施の形態 1 と同様に、予備照射工程により非晶質シリコン膜 3 を多結晶シリコン膜 11 とし、多結晶シリコン膜 11 よりも熱伝導率の高い材料からなる放熱層 4 を、アライメントキー 5 を用いてゲート電極 20 の近傍に形成する (図 29 (c))。そして、本照射工程により放熱層 4 の近傍に大粒径結晶を形成してから放熱層 4 の除去工程を行うことにより、半導体薄膜が完成する。放熱層 4 は、上述した各実施形態に示す他の方法によって形成することも可能であることは言うまでもない。この半導体薄膜を用いて TFT を製造する方法は、実施の形態 1 と同様に行うことができる。また、アライメントキー 5 は、基板 1 と下地膜 2 との間に形成する代わりに、ゲート電極形成用の金属膜を成膜してフォトリソ工程及びエッチング工程を行う際に、ゲート電極 20 と共に同時に形成することも可能である。

【0196】 以上、本発明の実施の形態について具体的に説明したが、本発明が上記実施形態に限定されるものでないのは言うまでもなく、その要旨を逸脱しない範囲で種々の変更が可能である。

#### 【0197】

【発明の効果】 以上の説明から明らかなように、本発明によれば、大粒径の結晶を有する多結晶半導体薄膜を提供することができる。更に、高特性でかつ高信頼性を有する半導体装置を提供することができる。

#### 【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体薄膜の製造方法において、非晶質シリコン膜が形成された基板を示す斜視図である。

【図 2】 前記半導体薄膜の製造方法において使用するレーザーアニール装置の概略構成図である。

【図 3】 前記半導体薄膜の製造方法において、レーザー光を照射した後の状態を示す断面図である。

【図 4】 前記半導体薄膜の製造方法において、非晶質

シリコン膜に放熱層及びアライメントキーを形成した状態を示す断面図である。

【図 5】 (a) 前記半導体薄膜の製造方法において、本照射工程における状態を示す断面図、及び、(b) 本照射工程による前記シリコン膜の温度分布を示す図である。

【図 6】 前記半導体薄膜の製造方法において、前記放熱層の存在により前記シリコン膜に大粒径結晶が形成された状態を示す断面図である。

【図 7】 前記大粒径結晶近傍の平面図である。

【図 8】 前記半導体薄膜の製造方法において、前記放熱層の除去工程を説明するための断面図である。

【図 9】 前記半導体薄膜の製造方法において、前記放熱層の形状を変えた場合の前記大粒径結晶の形状を示す平面図である。

【図 10】 本発明の実施の形態 1 に係る半導体装置の製造方法において、半導体装置を構成する TFT の製造工程を説明するための断面図である。

【図 11】 本発明の実施の形態 1 に係る半導体装置において、(a) 前記大粒径結晶と TFT との位置関係を 20 示す断面図、及び、(b) 平面図である。

【図 12】 本発明の実施の形態 1 に係る半導体装置の一例である液晶表示装置を一部切り欠いて示す概略斜視図である。

【図 13】 前記液晶表示装置の一部を示す概略平面図である。

【図 14】 本発明の実施の形態 1 に係る半導体装置の一例である EL 表示装置の EL 素子を示す断面図である。

【図 15】 前記 EL 表示装置の一部を示す回路図である。 30

【図 16】 本発明の実施の形態 3 に係る半導体薄膜の製造方法において、放熱層及びアライメントキーを形成する工程を説明するための断面図である。

【図 17】 本発明の実施の形態 3 に係る半導体装置の製造方法において、半導体装置を構成する TFT のオフセット領域が形成された状態を示す断面図である。

【図 18】 本発明の実施の形態 7 に係る半導体薄膜の製造方法において、第 1 の下地膜上に、多孔質層を有する第 2 の下地膜が形成された状態を示す断面図である。 40

【図 19】 本発明の実施の形態 8 に係る半導体薄膜の製造方法において、露光マスクを用いて本照射工程を行っている状態を示す斜視図である。

【図 20】 (a) 第 19 図に示す露光マスクを用いた本照射工程により、シリコン膜上に光量分布が生じている状態を模式的に示す断面図、及び、(b) 光量分布の概要を示す図である。

【図 21】 本発明の実施の形態 9 に係る半導体薄膜の製造方法において使用する露光マスクの平面図である。

【図 22】 (a) 第 21 図に示す露光マスクを用いた 50

本照射工程により、シリコン膜上に光量分布が生じている状態を模式的に示す断面図、及び、(b) 光量分布の概要を示す図である。

【図 23】 本発明の実施の形態 10 に係る半導体薄膜の製造方法において、露光マスクを用いて本照射工程を行っている状態を示す斜視図である。

【図 24】 (a) 第 19 図に示す露光マスクを用いた本照射工程により、シリコン膜上に光量分布が生じている状態を模式的に示す断面図、及び、(b) 光量分布の概要を示す図である。

【図 25】 本発明の実施の形態 11 に係る半導体薄膜の製造方法において使用する露光マスクの (a) 側面図、及び、(b) 斜視図である。

【図 26】 (a) 第 25 図に示す露光マスクを用いた本照射工程により、シリコン膜上に光量分布が生じている状態を模式的に示す断面図、及び、(b) 光量分布の概要を示す図である。

【図 27】 本発明の実施の形態 12 に係る半導体薄膜の製造方法において使用する露光マスクの平面図である。

【図 28】 本発明の実施の形態 13 に係る半導体装置の製造方法において、半導体装置を構成する TFT の製造工程を説明するための断面図である。

【図 29】 本発明の実施の形態 14 に係る半導体装置の製造方法において、半導体装置を構成する TFT の製造工程を説明するための断面図である。

【図 30】 本発明の半導体装置における LDD 領域又はオフセット領域と結晶との位置関係の例を示す図である。

【図 31】 シリコン結晶粒径と TFT 信頼性との関係を示す図である。

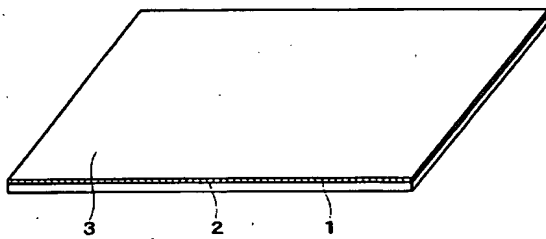
【符号の説明】

- 1 基板
- 2 下地膜
- 2b 上側下地膜
- 2c 下側下地膜
- 3 非晶質シリコン膜
- 4 放熱層
- 5 アライメントキー
- 7 レーザ光
- 11 多結晶シリコン膜
- 14 大粒径結晶
- 15 小粒径結晶
- 16 保護膜
- 17 ドレイン領域
- 18a, 18b LDD 領域
- 18c, 18d オフセット領域
- 19 ゲート絶縁膜
- 20 ゲート電極
- 21 層間絶縁膜

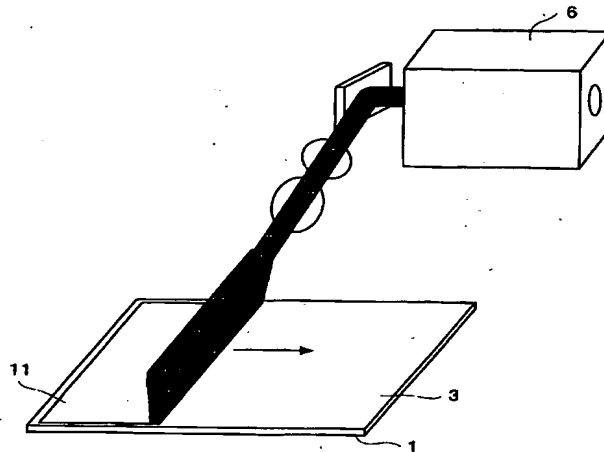
43  
22 チャンネル領域  
23a ソース電極  
23b ドレイン電極  
24 ソース領域

40 TFT  
50 液晶表示装置  
60 EL素子  
105, 139, 205, 241, 339 露光マスク

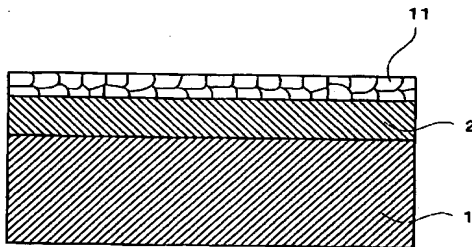
【図1】



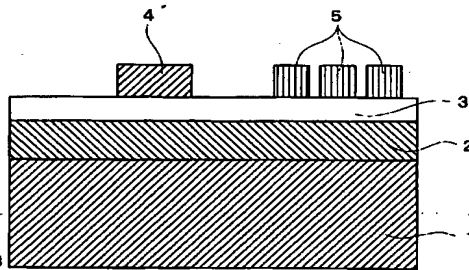
【図2】



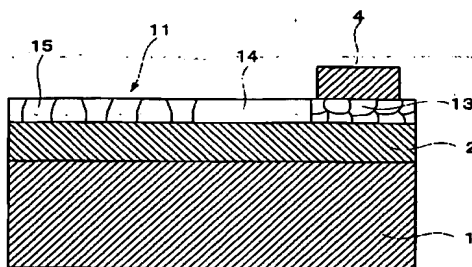
【図3】



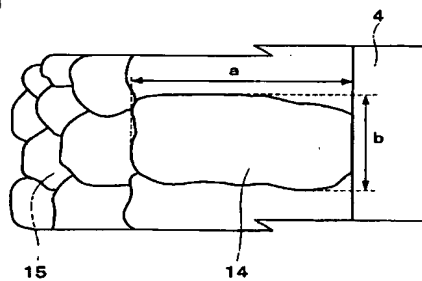
【図4】



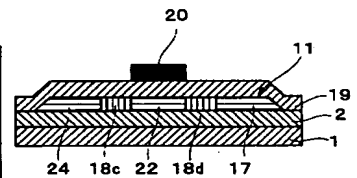
【図6】



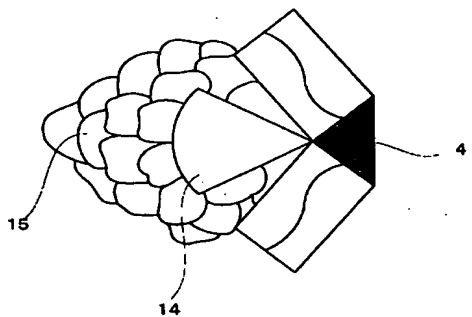
【図7】



【図17】



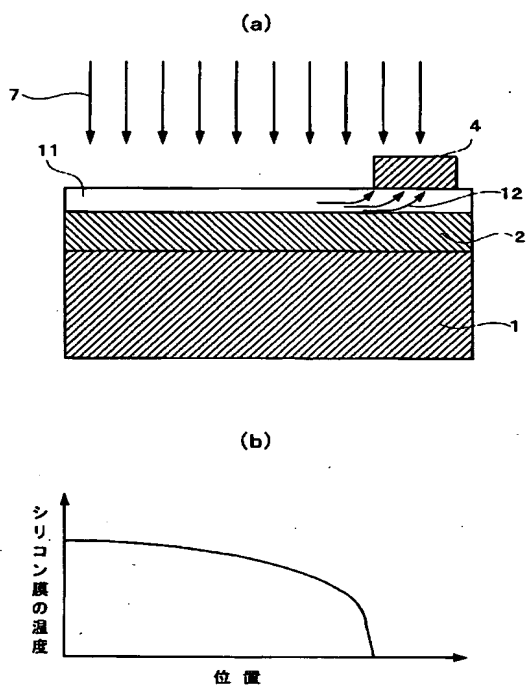
【図9】



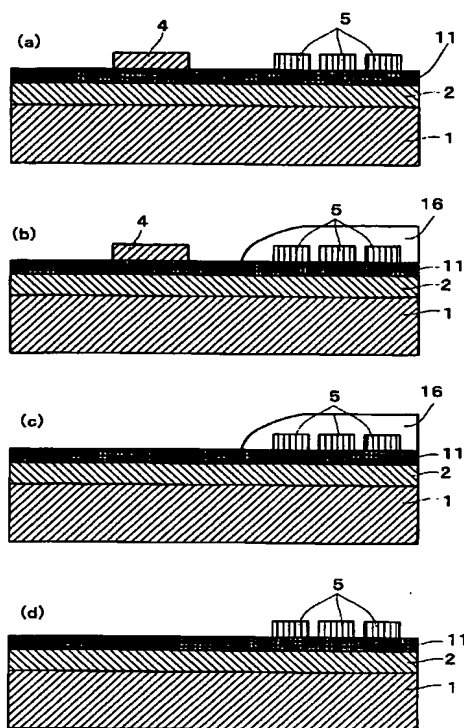
【図18】



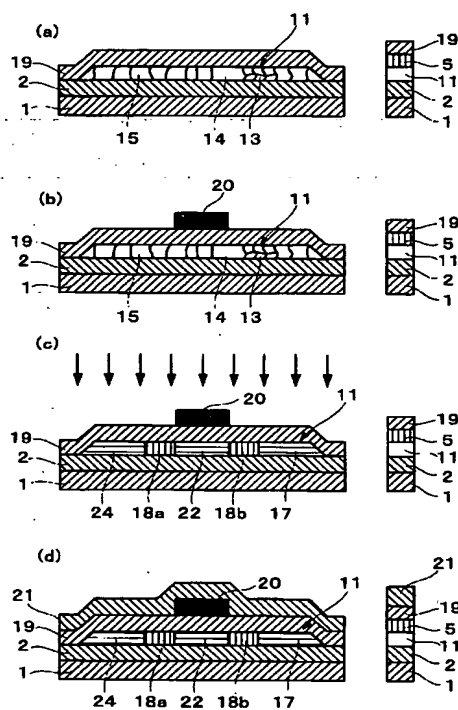
【図 5】



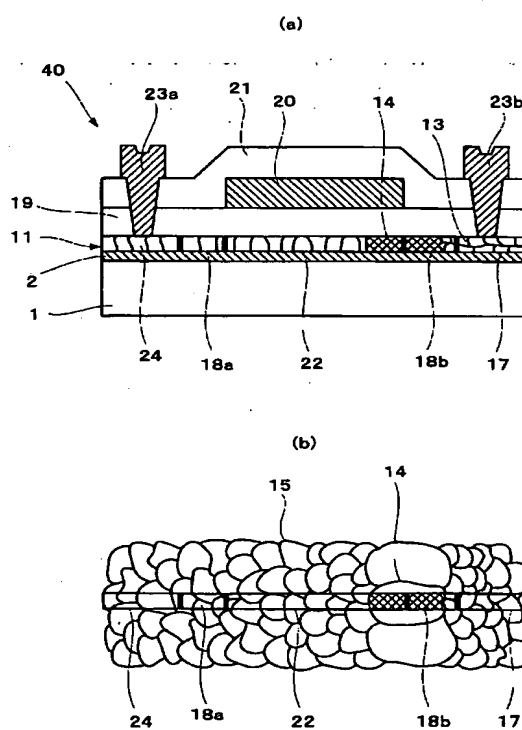
【図 8】



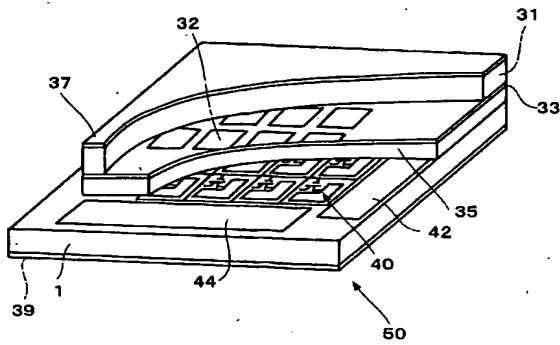
【図 10】



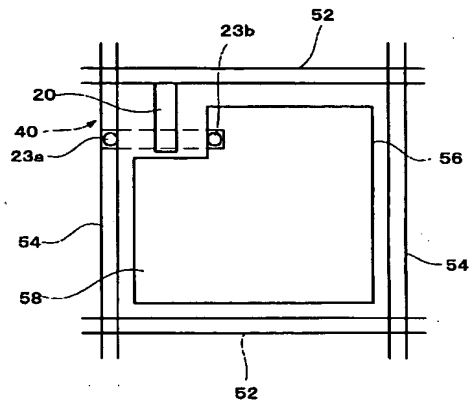
【図 11】



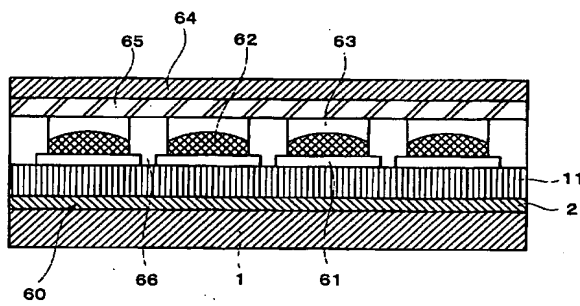
【図12】



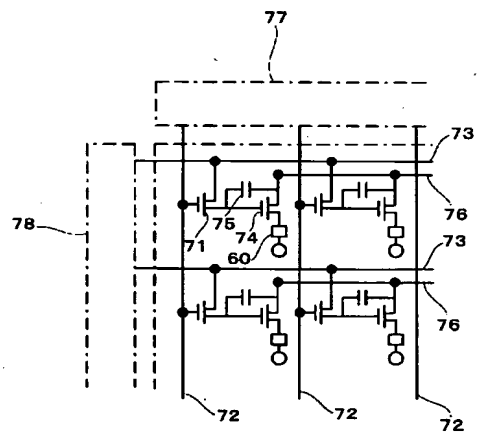
【図13】



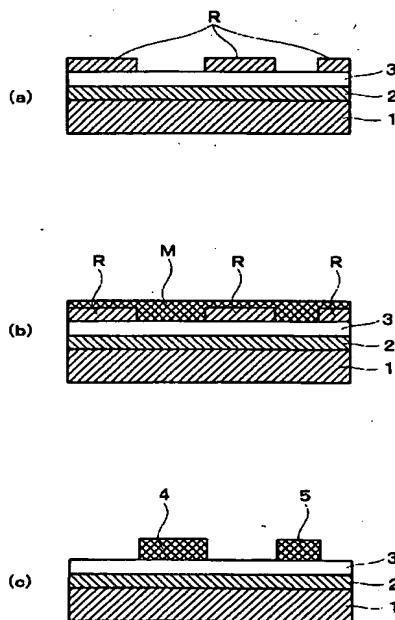
【図14】



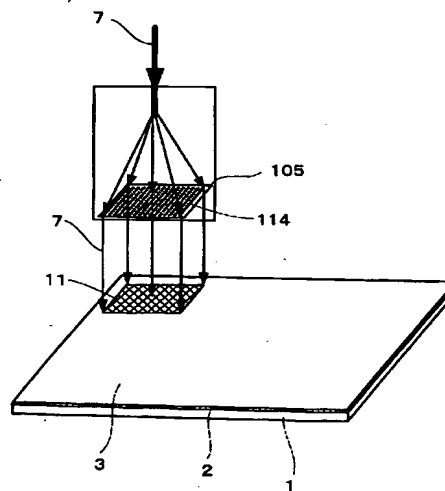
【図15】



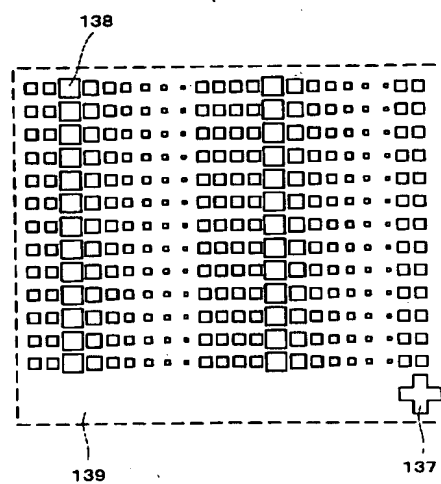
【図16】



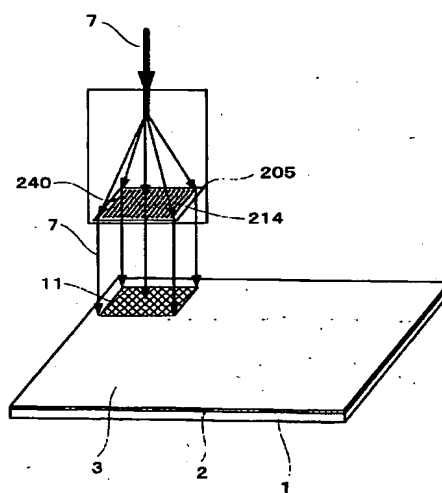
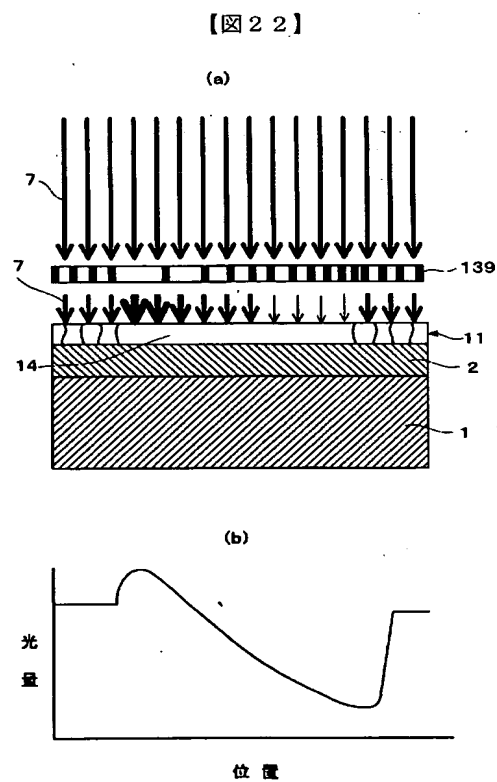
【図19】



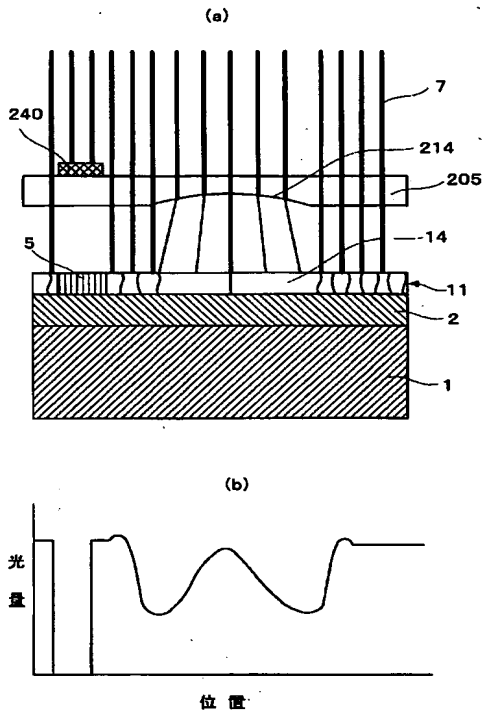
【図 2 1】



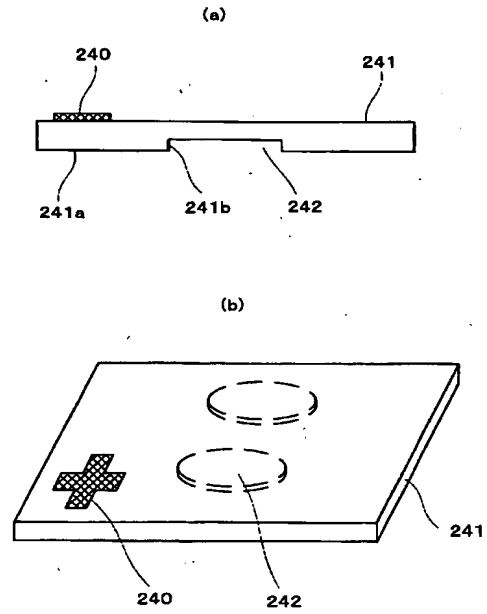
【图 2 3】



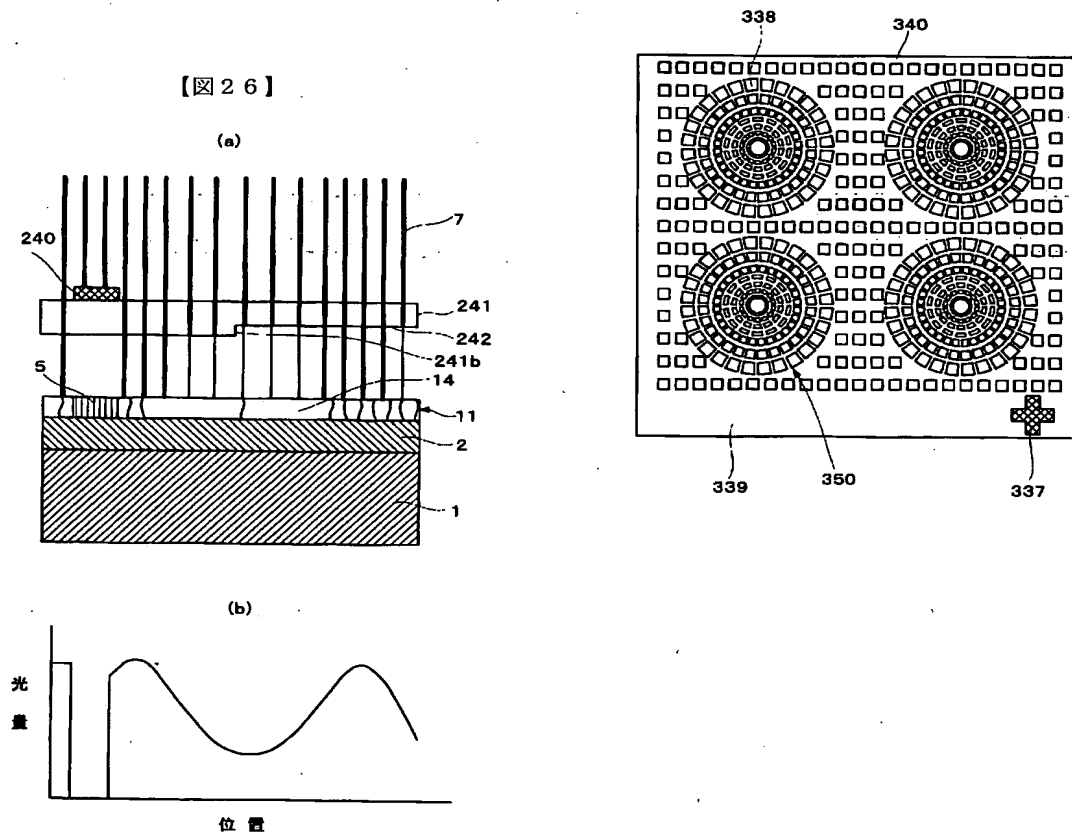
【図 24】



【図 25】

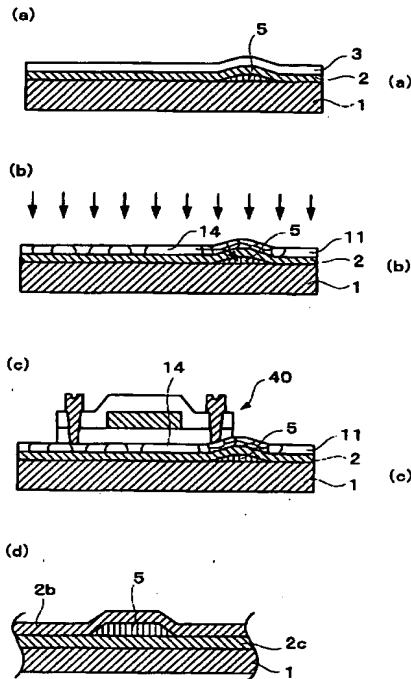


【図 27】

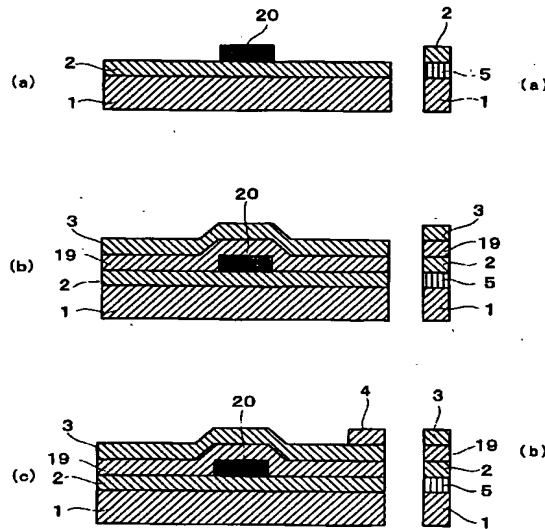




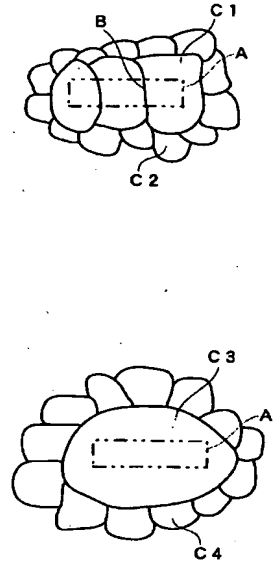
【図28】



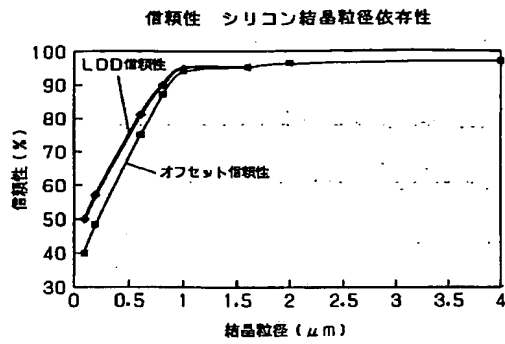
【図29】



【図30】



【図31】



結晶位置の制御	結晶粒径 (μm)	LDD 信頼性 (%)	オフセット 信頼性 (%)
なし	0.1	50	40
なし	0.2	57	48
あり	0.6	81	75
あり	0.8	90	87
あり	1	95	94
あり	1.6	95	95
あり	2	96	96
あり	4	97	97

## フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 21/20

29/786

H 0 5 B 33/10

33/14

H 0 5 B 33/10

33/14

H 0 1 L 29/78

A

6 2 7 G

6 1 6 S

6 1 6 A

6 1 7 A

(72) 発明者 武富 義尚

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム (参考) 2H092 JA29 JA30 JA42 JB13 KA04

KA24 MA05 MA07 MA13 MA17

MA27 MA35 MA37 NA24 NA25

3K007 AB05 AB11 EB00 FA01 FA03

5C094 AA21 AA31 BA03 BA29 BA43

CA19 DA14 DA15 DB04 EA04

EA07 EB02 FB12 FB14 FB15

5F052 AA02 AA11 AA17 AA24 BA12

BA20 BB01 BB07 CA04 DA01

DA02 DA03 DA05 DA10 DB02

DB03 DB07 EA02 EA11 EA12

FA04 FA19 JA01

5F110 AA01 AA07 AA13 BB02 BB04

CC02 CC07 DD01 DD02 DD12

DD13 DD14 DD17 EE03 EE06

EE44 FF02 FF23 FF25 FF29

FF30 FF31 FF32 GG01 GG02

GG03 GG13 GG16 GG25 GG43

GG45 GG47 HJ01 HJ12 HJ18

HJ23 HL03 HL04 HL06 HL07

HL08 HL23 HM07 HM14 HM15

NN02 NN03 NN22 NN23 NN24

NN35 NN37 NN72 NN77 PP03

PP04 PP06 PP35 PP40 QQ01

QQ25